

AG1280 应用指南

● AG1280Q48 Pin-Out

Bank	Pin Name	AG1280Q48
N	PIN_1	IO
N	PIN_2	IO
N	PIN_3	IO
N	PIN_4	IO
N	PIN_5	IO
N	PIN_6	IO
	PIN_7	VDDC: 1.2V
	PIN_8	GND
S	PIN_9	IO Global
S	PIN_10	VDDC: 1.2V
S	PIN_11	IO
S	PIN_12	IO
S	PIN_13	IO Global
S	PIN_14	IO
S	PIN_15	IO Global
S	PIN_16	IO
S	PIN_17	IO
S	PIN_18	IO
S	PIN_19	IO Global
S	PIN_20	IO
S	PIN_21	VDDIO2
S	PIN_22	IO
S	PIN_23	IO
S	PIN_24	CDONE

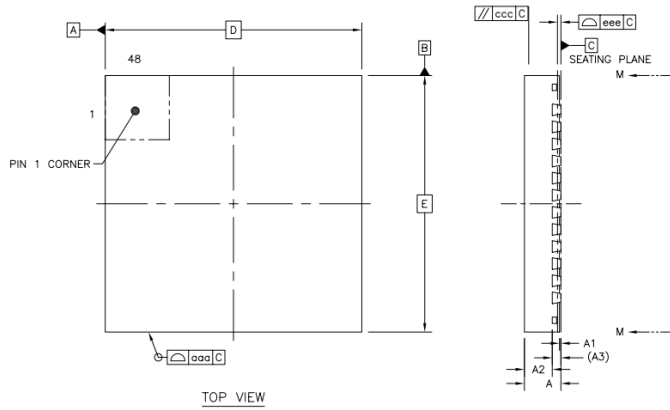
Bank	Pin Name	AG1280Q48
S	PIN_25	IO
	PIN_26	VDDFLASH: 3.3V
	PIN_27	VDDFLASH: 3.3V
	PIN_28	GND
	PIN_29	GND
	PIN_30	GND
	PIN_31	GND
	PIN_32	VDDFLASH: 3.3V
	PIN_33	GND
	PIN_34	VDDFLASH: 3.3V
N	PIN_35	NCS
N	PIN_36	DATAOUT
N	PIN_37	TDO
N	PIN_38	TMS
N	PIN_39	TCK
N	PIN_40	TDI
N	PIN_41	IO Global
N	PIN_42	IO
N	PIN_43	IO
N	PIN_44	IO Global
N	PIN_45	IO
N	PIN_46	IO Global
N	PIN_47	VDDIO0
N	PIN_48	IO

● AG1280Q32 Pin-Out

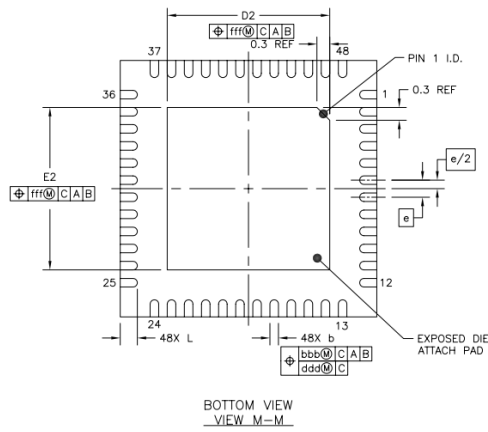
Bank	Pin Name	AG1280Q32
N	PIN_1	IO
N	PIN_2	IO
N	PIN_3	IO
	PIN_4	GND
	PIN_5	VDDC 1.2V
S	PIN_6	IO_GB
S	PIN_7	VDDC 1.2V
S	PIN_8	IO
S	PIN_9	IO
S	PIN_10	IO_GB
S	PIN_11	IO
S	PIN_12	IO_GB
S	PIN_13	IO_GB
S	PIN_14	IO
S	PIN_15	VDDIO2
S	PIN_16	CDONE
	PIN_17	NC
	PIN_18	NC
	PIN_19	NC
	PIN_20	NC
	PIN_21	VDDFLASH 3.3V
	PIN_22	VDDFLASH 3.3V
	PIN_23	GND
	PIN_24	VDDFLASH 3.3V
N	PIN_25	NCS
N	PIN_26	DATAOUT
N	PIN_27	TDO
N	PIN_28	TMS
N	PIN_29	TCK
N	PIN_30	TDI
N	PIN_31	IO_GB
N	PIN_32	VDDIO0

● AG1280 封装图

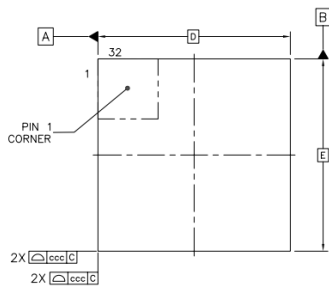
QFN-48 封装, body size=6mm X 6mm, pitch=0.4mm



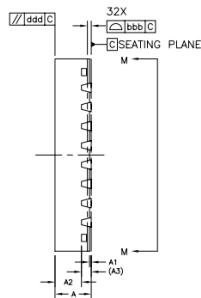
DESCRIPTION	SYMBOL	MILLIMETER			
		MIN	NOM	MAX	
TOTAL THICKNESS	A	0.8	0.85	0.9	
STAND OFF	A1	0	0.035	0.05	
MOLD THICKNESS	A2	---	0.65	0.67	
L/F THICKNESS	A3	0.203 REF			
LEAD WIDTH	b	0.15	0.20	0.25	
BODY SIZE	X	D	5.90	6.00	6.10
	Y	E	5.90	6.00	6.10
LEAD PITCH	e	0.40 BSC			
EP SIZE	X	D2	3.70	3.80	3.90
	Y	E2	3.70	3.80	3.90
LEAD LENGTH	L	0.30	0.40	0.50	
PACKAGE EDGE TOLERANCE	aaa	0.1			
LEAD OFFSET	bbb	0.07			
MOLD FLATNESS	ccc	0.1			
	ddd	0.05			
COPLANARITY	eee	0.08			
EXPOSED PAD OFFSET	fff	0.1			



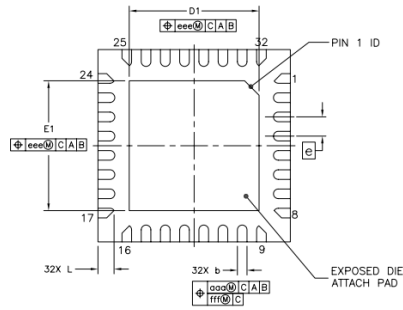
QFN-32 封装, body size=4mm X 4mm, pitch=0.4mm



TOP VIEW



SIDE VIEW



BOTTOM VIEW
VIEW M-M

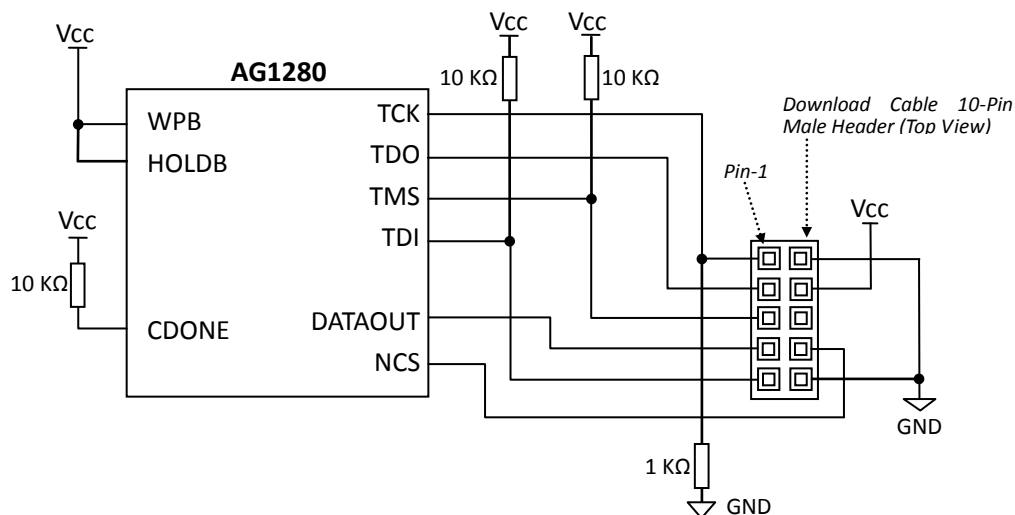
FOR CUSTOMER ONLY				
PACKAGE TYPE	QFN			
PIN COUNT	32			
DESCRIPTION	SYMBOL	MILLIMETER		
		MIN	NOM	MAX
TOTAL THICKNESS	A	0.7	0.75	0.8
STAND OFF	A1	0	0.035	0.05
MOLD THICKNESS	A2	-	0.55	0.57
MATERIAL THICKNESS	A3	-	0.203 _{ref}	-
PACKAGE SIZE	D	-	4 BSC	-
	E	-	4 BSC	-
EP SIZE	D1	2.6	2.7	2.8
	E1	2.6	2.7	2.8
LEAD LENGTH	L	0.25	0.35	0.45
LEAD PITCH	e	0.4BSC		
LEAD WIDTH	b	0.15	0.2	0.25
LEAD POSITION OFFSET	aaa	0.07		
LEAD COPLANARITY	bbb	0.08		
PACKAGE EDGE PROFILE	ccc	0.10		
MOLD FLATNESS	ddd	0.10		
EP POSITION OFFSET	eee	0.10		
	fff	0.05		

NOTES

- 1.0 COPLANARITY APPLIES TO LEADS, CORNER LEADS AND DIE ATTACH PAD.
- 2.0 DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.15mm AND 0.30mm FROM THE TERMINAL TIP. IF THE TERMINAL HAS THE OPTIONAL RADIUS ON THE OTHER END OF THE TERMINAL, THE DIMENSION b SHOULD NOT BE MEASURED IN THAT RADIUS AREA.

● 配置电路

AG1280 通过 JTAG 进行配置和烧写，使用 Altera USB-Blaster 下载线，请参考下图：



除 JTAG 4 个管脚外，还要接 DATAOUT 和 NCS。

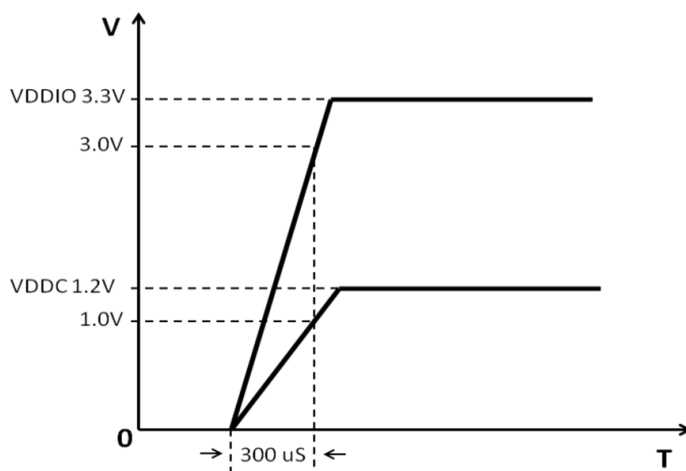
CDONE 接上拉电阻，在配置成功后输出高电平。

WPB 和 HOLDB 为 AG1280 内部配置 FLASH 的管脚，接 Vcc。

请注意，如果采用非标准 10 针插座，Pin-2 和 Pin-10 均需接地。

● 电源设计

AG1280 的 3.3V VDDIO 电源应略先于 VDDC 1.2V 上电，这样保证内部配置 FLASH（3.3V）先启动完成，从而避免上电配置失败。具体请参考下图：



VDDC 1.2V 在启动到 1.0V 时，应保证 VDDIO 的 3.3V 已经至少达到 3.0V 以上；同时 VDDC 启动到 1.0V 的时间要求在 300 μ s 之内。

由于内部配置 FLASH 需要 3.3V 供电和读写，所以和 FLASH 相关的 North Bank 的 VDDIO0 也要接 3.3V；South Bank 的 VDDIO2 可以根据需要选择其它电压。

● 软件开发流程

1.) 软件安装:

解压缩或执行安装文件，安装 Supra 软件。执行文件为 bin 目录中的 Supra.exe。
运行 Supra，选择菜单 File -> Import license，选择 license 文件并导入 License。

2.) 新建项目:

新建一工程目录。打开 Supra，进入 Tools -> Migrate:



Target Directory 为新建的工程目录，Migrate from directory 不填，输入设计名称（这里例如 led），Device 选 AG1280Q48，ve 文件不填。如有设计中用到 AGM 专用 IP（PLL、RAM），需要预先 Create IP（参考后面说明），然后加入到 IP Files 中。

点击 Next，会生成一个以 led 命名的 Quartus II 项目，以及空的设计文件（qpf, v, sdc 等）。

3.) 项目设计:

用 Quartus II 打开 led.qpf 项目文件，修改设计文件 v，或添加其它所需设计源文件。

设计完成后，Quartus II 中选择菜单中 Tools -> Tcl Scripts...，窗口中选 af_quartus.tcl，点击 Run 进行编译。

4.) 项目设置:

Quartus II 里编译成功后，编辑 led.asf 文件（Supra 的设置文件，类似 Quartus II qsf 文件，格式可参考 qsf 文件），

加入 IO 标准，IO 位置等设置信息，保存。

例如：

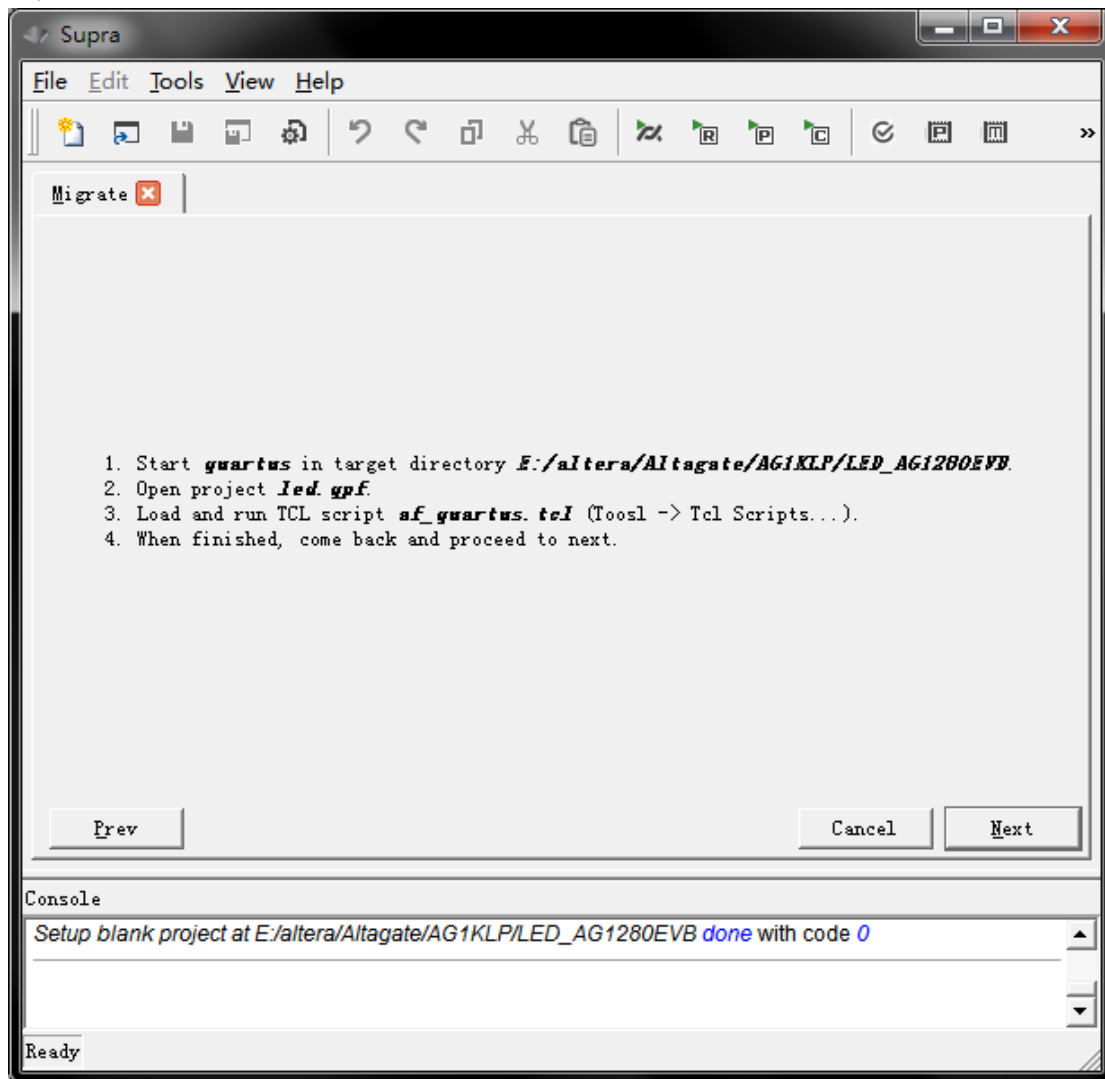
```
set_location_assignment -to clk PIN_13
```

```
set_location_assignment -to data PIN_1
```

（请参考芯片的管脚映射列表，确定 IO 名称及位置）

5.) 项目编译:

Supra 里继续执行 Next，开始进行编译。



编译成功后可以得到烧写文件，led_hybrid.prg。

以后修改原设计，Quartus 里只需执行正常的编译（Start Compilation），不用再运行 af_quartus.tcl 文件。然后在 Supra 中运行 Compile，完成编译即可。

6.) 芯片烧写:

Supra 软件中选 Program，选中 DesignName_hybrid.prg，开始烧写。烧写成功后，CDONE 管脚会变高。Query 按钮可以通过 JTAG 检测芯片 ID。

● IP 使用方法

在 Supra 中进入 Tools -> Create IP，选择 PLL 或 Memory。

PLL 类型选择 PLLX，填写输入频率（MHz），输出频率，相移等数据。

注意：PLL 的输入时钟应是芯片的全局输入时钟 IO 管脚。

RAM 类型选择 BRAM，根据需要设置数据宽度和深度，以及端口方向。

完成后点击 Generate，目录中会产生比如 pll0.v、pll0.ip 和 ram0.v、ram0.ip 两个文件。在 Quartus II 设计代码中即可调用产生的模块（*.v）。

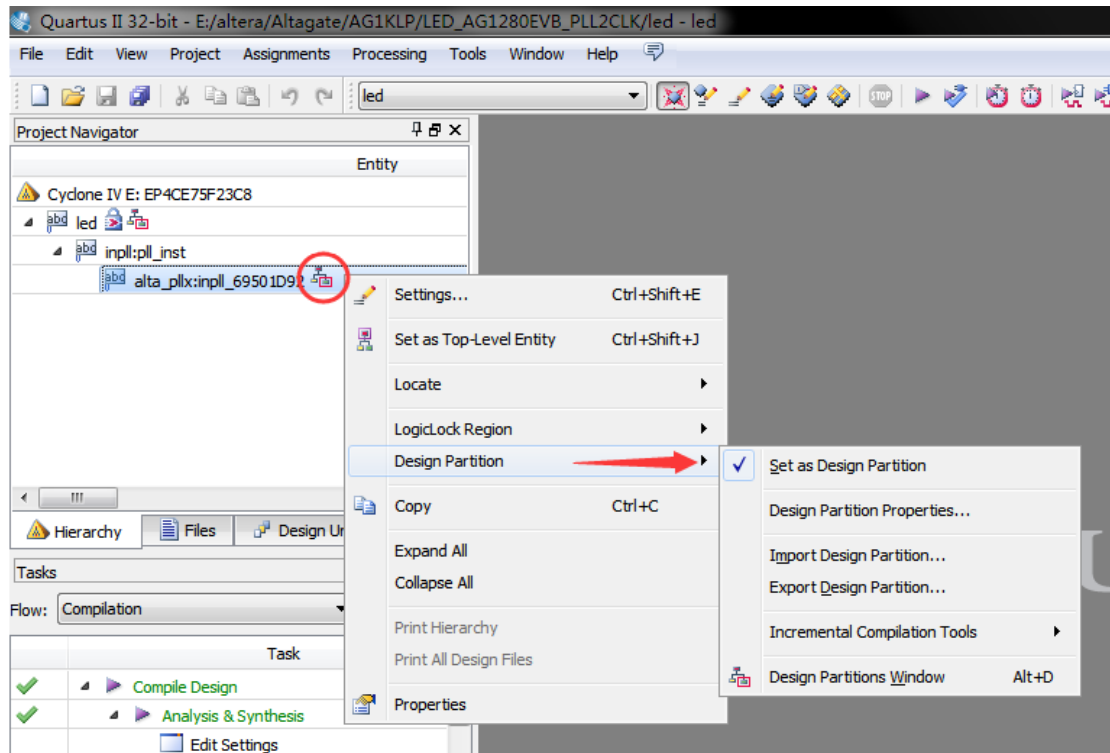
在 Supra 新建项目时需要将产生好的 IP 加入 IP Files（*.ip）。

如果在设计过程中添加或修改 IP 文件，Supra project 需要重新再新建一次并覆盖原工程，并执行 Migrate 一次，和运行 af_quartus.tcl。

应用 AGM IP 的 Quartus II 工程中需要注意下面信息，正确执行 Tcl 后会出现：

由于 IP 声明包含在 alta_sim.v 的库文件中，这个文件默认在 supra 的安装目录中，如：C:\Supra\etc\arch\rodinia，Quartus II project 应包含这个文件。

同时，alta_pll 或 alta_bram 应设为 Design Partition，如图：



● 内部时钟的应用

AG1280 可以利用内部 PLL 在无输入时钟时，输出时钟，可以作为系统时钟使用，从而简化 PCB 设计。

Create IP 选 PLLX，输入频率可任意，Feedback Mode 选 NO_REFERENCE，根据需要选择输出时钟个数，并填写输出时钟频率（MHz），如下图：

PLL IP

Select run directory
E:/altera/Altagate/AG578/AG578_PLL2CLK Browse

Module name inpll PLL type PLLX
Input frequency 2 Feedback mode NO_REFERENCE
Compensation mode Default PLL output count 2
Use Diff Clock0 Use Ext Clock0

Output 0
Output Frequency 10 Phase shift
Duty cycle

Output 1
Output Frequency 65 Phase shift
Duty cycle

Generate 之后可产生*.ip 和*.v，并显示实际输出频率。

设计中同样调用 IP，代码如下：

```
inpll pll_inst(           // PLL
    .clkin(clk),
    .clkfb(test1),
    .pilen(1'b1),
    .resetn(rst),
    .clkout0en(1'b1),
    .clkout1en(1'b1),
    .clkout2en(1'b0),
    .clkout3en(1'b0),
    .clkout0(test1),      //clkout0
    .clkout1(test2),      //clkout1
    .clkout2(),
    .clkout3(),
    .lock()
);
```

由于输出频率由 VCO 分频得出，实际结果和设置数值会有一点差别，不同芯片特性也会略有不同，所以这种内部时钟仅适用于对频率精度要求不高的设计。