

# Haawking\_DSC28002x\_数字信号控制器

## 数据手册

V1.2



北京中科昊芯科技有限公司

2023 年 10 月

## 历史版本记录

版本号	内容描述	修订时间
V0.7.0	初始版本	2022.12.20
V0.7.1	修正部分内容	2023.01.15
V0.7.2	修正部分寄存器地址	2023.01.31
V0.7.3	添加版本号	2023.02.02
V0.7.5	修正部分内容	2023.02.20
V0.7.6	添加 9、10 封装与订货信息	2023.03.20
V0.7.7	6.3.1 内存寄存器修正	2023.04.24
V0.7.8	更新文档封面和页眉以满足质量基线	2023.07.18
V1.0.0	版本更新到 V1.0.0	2023.07.21
V1.0.1	修改页眉产品名错误	2023.07.28
V1.1	优化 FPU 中 FCSR 寄存器描述	2023.09.21
V1.2	修改 ADC 参数	2023.10.19

## 目录

1 特性 .....	7
2 应用 .....	8
3 说明 .....	9
3.1 功能方框图 .....	9
4 终端配置与功能 .....	11
4.1 引脚图 .....	11
4.2 引脚说明 .....	13
4.3 信号描述 .....	26
4.3.1 模拟信号 .....	26
4.3.2 数字信号 .....	29
4.3.3 电源与接地 .....	33
4.3.4 测试, JTAG 与复位 .....	34
4.4 GPIO .....	34
4.4.1 GPIO 复用引脚 .....	34
4.4.1.1 GPIO 复用引脚表 .....	35
4.4.2 ADC 引脚上的数字输入 (AIO) .....	39
4.4.3 GPIO 输入 X-BAR .....	39
4.4.4 GPIO .....	41
4.5 GPIO 引脚内部上拉/下拉 .....	41
4.6 未使用引脚的连接 .....	42
5 说明 .....	44
5.1 绝对最大值范围 .....	44
5.2 产品的 ESD 范围 .....	44
5.3 推荐工作条件 .....	45
5.4 耗电概述 .....	45
5.4.1 系统耗电电流 .....	46
5.4.2 工作模式测试描述 .....	46
5.4.3 电流消耗图 .....	47
5.4.4 减少电流消耗 .....	49
5.4.4.1 每个外设关闭的典型电流减少 .....	49
5.5 电气特性 .....	50
5.6 PN 封装的温度电阻特性 .....	50
5.7 PM 封装的热阻特性 .....	51

5.8	PT 封装的热阻特性 .....	51
5.9	温度设计考虑 .....	52
5.10	模拟外设 .....	52
5.10.1	模数转换器 (ADC) .....	56
5.10.1.1	ADC 配置 .....	57
5.10.1.2	ADC 电气数据与时序 .....	57
5.10.2	温度传感器 .....	60
5.10.2.1	温度传感器电气数据和时序 .....	61
5.10.3	比较器子系统 (CMPSS) .....	61
5.10.3.1	CMPSS 电气数据和时序 .....	62
5.11	控制外设 .....	64
5.11.1	增强脉冲宽度调制器 (ePWM) .....	64
5.11.1.1	控制外设同步 .....	65
5.11.1.2	ePWM 电气数据和时序 .....	66
5.11.1.3	外部 ADC 转换脉冲开始的电气数据和时序 .....	68
5.11.2	高分辨率脉冲宽度调制器 (HRPWM) .....	69
5.11.2.1	HRPWM 电气数据和时序 .....	69
5.11.3	增强捕获和高分辨率捕获 (eCAP, HRCAP) .....	69
5.11.3.1	高分辨率捕获 (HRCAP) .....	71
5.11.3.2	eCAP/HRCAP 同步 .....	73
5.11.3.3	eCAP 电气数据和时序 .....	73
5.11.3.4	HRCAP 电气数据和时序 .....	74
5.11.4	增强型正交编码器脉冲 (eQEP) .....	75
5.11.4.1	eQEP 电气数据和时序 .....	76
5.12	通信外设 .....	77
5.12.1	控制局域网络 (CAN) .....	77
5.12.2	内置集成电路 (I2C) .....	78
5.12.2.1	I2C 电气数据和时序 .....	80
5.12.3	电源管理总线 (PMBus) 接口 .....	81
5.12.4	串行通信接口 (SCI) .....	84
5.12.5	串行外设接口 (SPI) .....	86
5.12.5.1	SPI 主模式时序 .....	88
5.12.6	SPI 从模式时序 .....	91
5.12.7	本地互连网络 (LIN) .....	93
5.12.8	快速串行接口 (FSI) .....	95
5.12.8.1	FSI 发送器 .....	96
5.12.8.2	FSI 接收器 .....	99

5.12.8.3 FSIRX 电气特性和时序 .....	100
5.12.8.4 FSI SPI 兼容模式 .....	101
5.12.9 主机接口控制器 (HIC) .....	103
5.12.9.1 HIC 电气特性和时序 .....	103
5.12.10 内置音频总线 (I2S) .....	106
6 详细描述 .....	109
6.1 概述 .....	109
6.2 功能框图 .....	109
6.3 内存 .....	112
6.3.1 内存映射 .....	112
6.3.1.1 专用 RAM (Mx RAM) .....	112
6.3.1.2 本地共享 RAM (LSx RAM) .....	112
6.3.1.3 全局共享 RAM (GSx RAM) .....	113
6.3.2 Flash 内存映射 .....	113
6.3.2.1 Flash 扇区地址 .....	113
6.3.2.2 外设寄存器内存映射 .....	114
6.4 ID 识别 .....	117
6.5 总线架构-外设连接 .....	117
6.6 H28x 处理器 .....	118
6.6.1 浮点单元 (FPU) .....	118
6.6.2 快速整数除法单元 .....	118
6.6.3 三角数学单元 (TMU) .....	119
6.6.4 VCRC 单元 .....	119
6.7 嵌入式实时分析与诊断 (ERAD) .....	120
6.8 BGCRC-32 (BGCRC) .....	120
6.9 直接内存访问 (DMA) .....	120
6.10 设备 Boot 模式 .....	122
6.10.1 设备启动配置 .....	123
6.10.1.1 配置启动模式表选项 .....	125
6.10.2 GPIO 分配 .....	126
6.11 双码安全模块 .....	127
6.12 看门狗 .....	128
6.13 H28x 计时器 .....	128
6.14 双时钟比较器 (DCC) .....	129
6.14.1 特点 .....	129
6.14.2 DCCx (DCC0 and DCC1) 时钟源输入映射 .....	129
6.15 可配置逻辑模块 (CLB) .....	130

7 应用布局 .....	132
8 设备文档支持 .....	133
8.1 设备和开发支持工具术语 .....	133
9. 热特性/机械数据 .....	134
9.1 LQFP48 .....	135
9.2 LQFP64 .....	136
9.3 LQFP80 .....	137
10. 订货信息 .....	138
10.1 封装信息 .....	138
10.2 托盘信息 .....	139
10.3 包装盒尺寸 .....	139
10.4 封装概览 .....	140

中科昊芯

# 1 特性

- H28x 32 位 DSP 内核 (160MHz)
  - IEEE 754 浮点单元 (FPU)
  - 快速整数除法 (FINTDIV)
  - 三角法数学单元 (TMU)
  - 非线性比例积分微分 (NLPID) 控制
  - CRC 引擎和指令 (VCRC)
  - 十个硬件断点 (包括 ERAD)
- 片上存储器
  - 256KB (128KW) 闪存 (ECC 保护)
  - 44KB (22KW) RAM (ECC 保护或奇偶校验保护)
  - 双区域代码安全模块
- 时钟和系统控制
  - 两个内部零引脚 10MHz 振荡器
  - 片上晶体振荡器或外部时钟输入
  - 窗口化看门狗计时器模块
  - 丢失时钟检测电路
  - 双路时钟比较器 (DCC)
- 3.3V 单电源
  - 内部 VREG 生成
  - 欠压复位 (BOR) 电路
- 系统外设
  - 6 通道直接存储器存取 (DMA) 控制器
  - 39 个独立可编程多路复用通用输入/输出 (GPIO) 引脚)
    - 在模拟引脚上提供 16 路数字输入
  - 增强型外设中断扩展 (ePIE)
  - 支持多个低功耗模式 (LPM)
  - 嵌入式实时分析和诊断 (ERAD)
  - 唯一标识号 (UID)
- 通信外设
  - 一个电源管理总线 (PMBus) 接口
  - 两个内部集成电路 (I2C) 端口
  - 一个控制器局域网 (CAN) 总线接口
  - 两个串行外设接口 (SPI) 端口
  - 一个 UART 兼容的串行通信接口 (SCI)
    - 两个 UART 兼容的本地互连网络 (LIN) 接口
    - 一个快速串行接口 (FSI) (最高 100Mbps)
    - 一个 I2S 接口
- 模拟系统
  - 两个 2.88MSPS 12 位模数转换器 (ADC)
    - 多达 16 个外部通道
    - 每个 ADC 包含四个后处理块 (PPB)
    - 四个带 12 位参考数据转换器 (DAC) 的窗口比较器 (CMPSS)
    - 数字干扰滤波器
  - 增强型控制外设
  - 14 个 ePWM 通道, 包含高分辨率率功能 (150ps 分辨率) 的 14 个通道
    - 集成式死区支持
    - 集成硬件错误联防 (TZ) 功能
  - 三个增强型捕获 (eCAP) 模块
    - 在三个 eCAP 模块中, 包含一个提供高分辨率捕获 (HRCAP)
  - 两个支持 CW/CCW 运行模式的增强型正交编码器 (eQEP) 模块
  - 可配置逻辑块 (CLB)
    - 增强现有外设功能
    - 支持位置管理解决方案
  - 主机接口控制器 (HIC)
    - 可从外部主机访问内部存储器
  - BGCRC
    - 关于 32 位数据的一个周期 CRC 运算
  - 诊断特性
    - 存储开机自检 (MPOST)
  - 封装选项:
    - 80 引脚薄型四方扁平封装 (LQFP) [后缀 PN]
    - 64 引脚 LQFP [后缀 PM]
    - 48 引脚 LQFP [后缀 PT]
  - 温度选项:
    - S: -40°C 至 125°C 结温

## 2 应用

- 电器
  - 空调室外机
- 楼宇自动化
  - 电梯门自动启闭装置驱动控制
- 工业机械和机床
  - 自动分拣设备
  - 纺织机
- EV 充电基础设施
  - 交流充电（桩）站
  - 直流充电（桩）站
  - 电动汽车充电站电源模块
  - 无线电动汽车充电站
- 可再生能源存储
  - 能量存储电源转换系统（PCS）
- 太阳能
  - 中央逆变器
  - 微型逆变器
  - 太阳能电源优化器
  - 太阳能电弧保护
  - 快速关断
  - 电表
  - 串式逆变器
- 混合动力、电动和动力总成系统
  - 直流/直流转换器
  - 逆变器和电机控制
  - 车载充电器（OBC）和无线充电器
- 车身电子装置与照明
  - 汽车 HVAC 压缩机模块
  - 直流/交流逆变器
  - 前照灯
- 交流逆变器和变频驱动器
  - 交流驱动器控制模块
  - 交流驱动器位置反馈
  - 交流驱动器功率级模块
- 线性电机运输系统
  - 线性电机功率级
- 单轴及多轴伺服驱动器
  - 伺服驱动器位置反馈
  - 伺服驱动器功率级模块
- 速度控制 BLDC 驱动器
  - 交流输入 BLDC 电机驱动
  - 直流输入 BLDC 电机驱动器
- 工业电源
  - 工业交流/直流转换器
- UPS
  - 三相 UPS
  - 单相在线式 UPS
- 电信和服务器电源
  - 商用直流/直流
  - 商用网络和服务器 PSU
  - 商用电信整流器

## 3 说明

HXS320F28002x (F28002x) 是 HX2000 实时微控制器系列中的一个器件，该系列可扩展、超低延迟器件旨在提高电力电子设备的效率，包括但不限于：高功率密度、高开关频率，并支持 GaN 和 SiC 技术。

这些应用包括：

- 工业电机驱动
- 电机控制
- 光伏逆变器
- 数字电源
- 电动车辆与运输
- 感应和信号调理

实时控制子系统基于 HX 的 32 位 H28x DSP 内核，可针对从片上闪存或 SRAM 运行的浮点或定点代码提供 160MHz 的信号处理性能。三角函数数字单元 (TMU) 和 VCRC (循环冗余校验) 扩展指令集进一步增强了 H28x CPU 的性能，从而加快了实时控制系统关键常用算法的速度。

高性能模拟模块集成在 F28002x 实时微控制器 (DSP) 上，并与处理单元和 PWM 单元紧密耦合，以提供更好的实时信号链性能。14 个 PWM 通道均支持与频率无关的分辨率模块，可控制从三相逆变器到高级多级电源拓扑的各种功率级。

通过加入可配置逻辑模块 (CLB)，用户可以添加自定义逻辑，还可以类似 FPGA 的功能集成到 HX2000 实时 DSP 中。

各种业界通用通信端口 (如 SPI、SCI、I2C、PMBus、LIN 和 CAN) 不仅支持连接，还提供了多个引脚复用选项，可实现出色的信号布局。快速串行接口 (FSI) 可跨隔离边界实现高达 100Mbps 的稳健通信。

HX2000 平台新增了主机接口控制器 (HIC)，这是一种高吞吐量接口，允许外部主机直接访问 HXS320F28002x 的资源。

### 3.1 功能方框图

功能方框图展示了 CPU 系统及关联的外设。

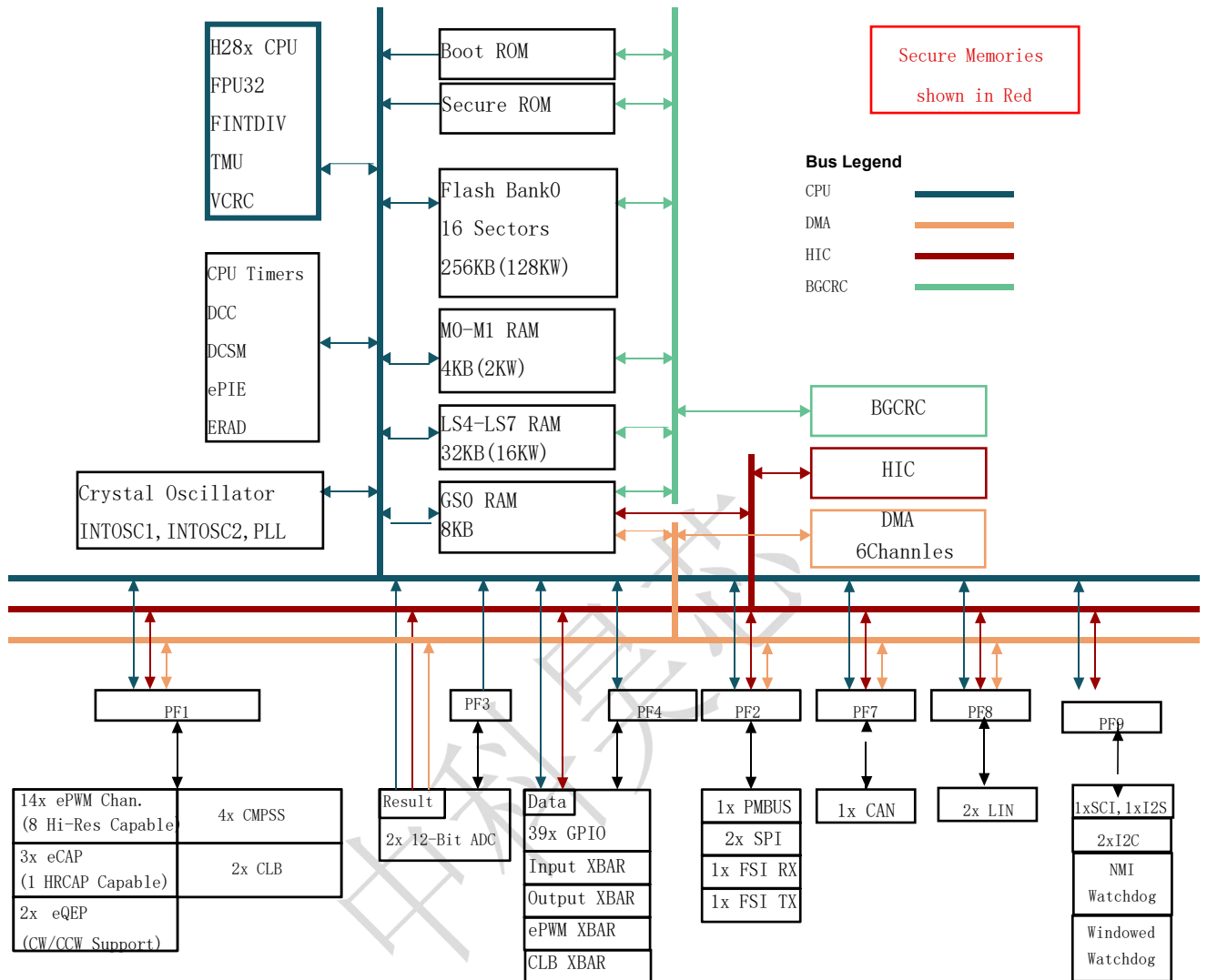


图 3-1 功能方框图

## 4 终端配置与功能

### 4.1 引脚图

图 6-1 为 80 引脚 PN 薄型四方扁平封装(Q 温度)的引脚配置。图 6-2 为 64 引脚 PM 封装的引脚分配。图 6-3 为 48 引脚 PT 的引脚分配。

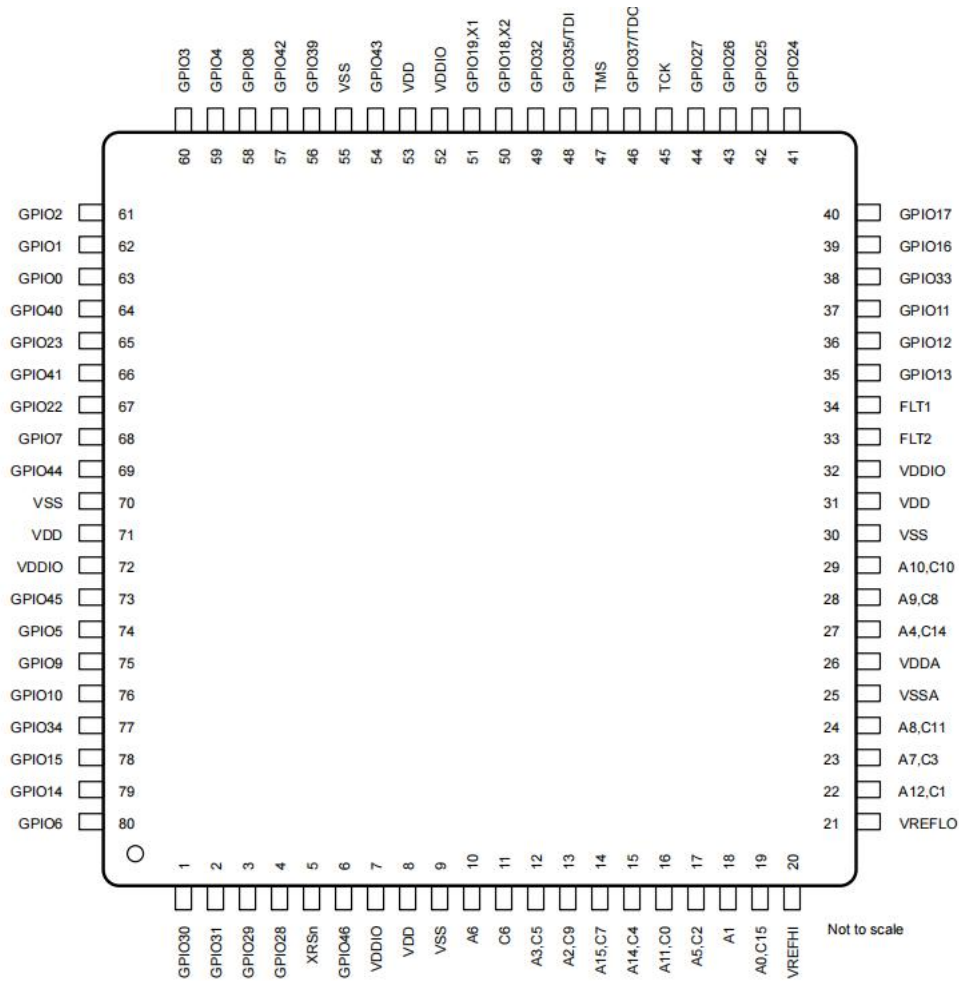


图 4-1 80 引脚 PN 薄型四方扁平封装

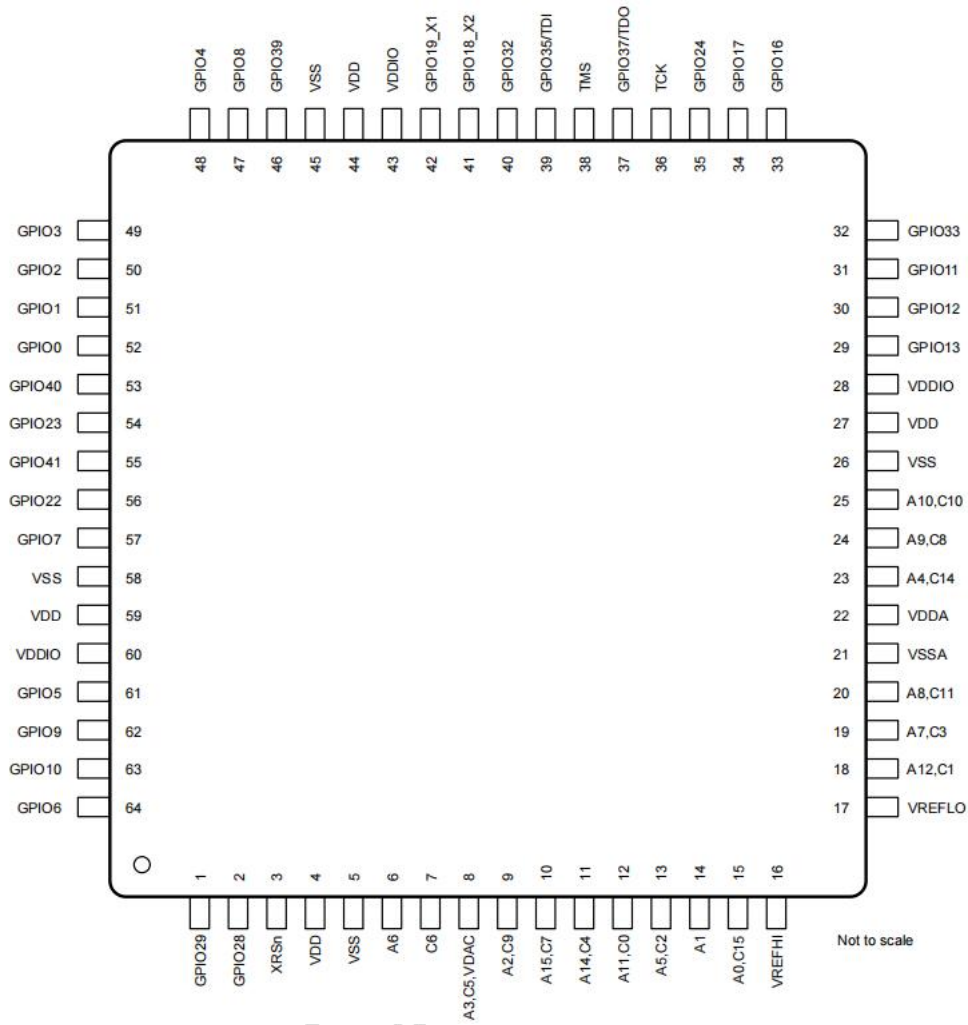


图 4-2 64 引脚 PM 封装

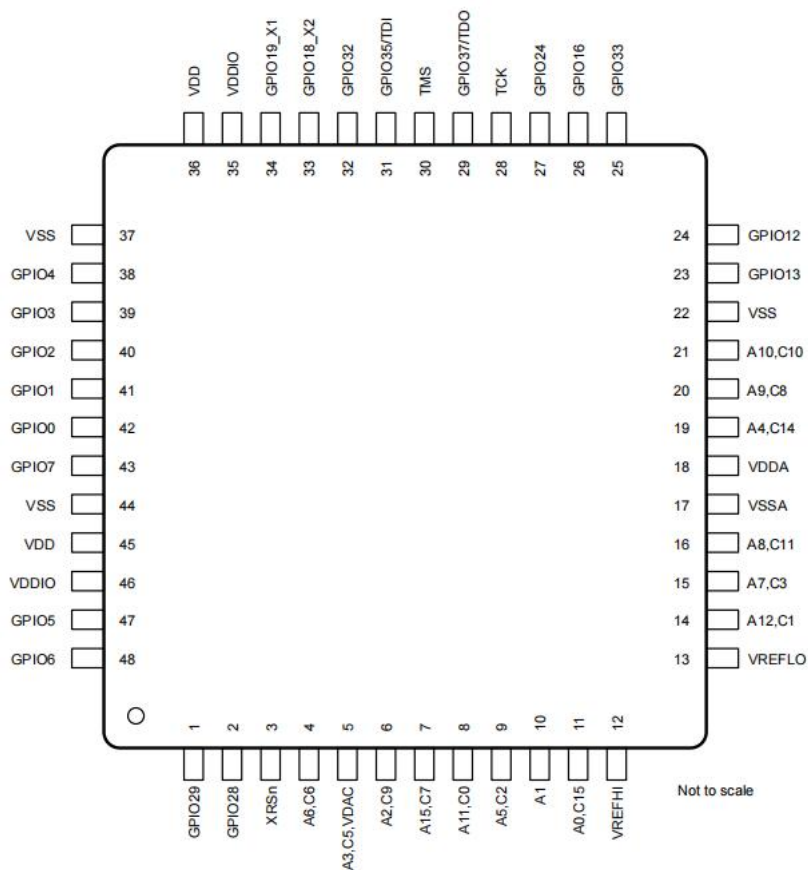


图 4-3 48 引脚 PT 封装

## 4.2 引脚说明

表 4-1 引脚说明

信号名称	复用位置	80 QFP	64 QFP	48 QFP	引脚 类型	说明
<b>模拟引脚</b>						
A0 C15 CMP3_HP2 CMP3_LP2 AI0231 HIC_BASESEL1	0, 4, 8, 12, 15	19	15	11	I I I I I I	ADC-A 输入 0 ADC-C 输入 15 CMPSS-3 高比较器位置输入 2 CMPSS-3 低比较器位置输入 2 数字输入 231 的模拟引脚 HIC 基地址范围选择 1
A1 CMP1_HP4 CMP1_LP4 AI0232 HIC_BASESEL0	0, 4, 8, 12, 15	18	14	10	I I I I I	模拟输入 CMPSS-1 高比较器正输入 4 CMPSS-1 低比较器正输入 4 数字输入 232 的模拟引脚 HIC 基地址范围选择 0
A10 C10 CMP2_HP3 CMP2_HNO CMP2_LP3 CMP2_LNO	0, 4, 8, 12, 15	29	25	21	I I I I I I	ADC-A 输入 10 ADC-C 输入 10 CMPSS-2 高比较器正输入 3 CMPSS-2 高比较器负输入 0 CMPSS-2 低比较器正输入 3 CMPSS-2 低比较器负输入 0

AI0230 HIC_BASESEL2					I I	数字输入 230 的模拟引脚 HIC 基地址范围选择 2
A11 C0 CMP1_HP1 CMP1_HN1 CMP1_LP1 CMP1_LN1 AI0237 HIC_A6	0, 4, 8, 12, 15	16	12	8	I I I I I I I I	ADC-A 输入 11 ADC-C 输入 0 CMPSS-1 高比较器正输入 1 CMPSS-1 高比较器负输入 1 CMPSS-1 低比较器正输入 1 CMPSS-1 低比较器负输入 1 数字输入 237 的模拟引脚 HIC 地址 6
A12 C1 CMP2_HP1 CMP4_HP1 CMP2_HN1 CMP2_LP1 CMP4_LP2 CMP2_LN1 AI0238 HIC_NCS	0, 4, 8, 12, 15	22	18	14	I I I I I I I I I I	ADC-A 输入 12 ADC-C 输入 1 CMPSS-2 高比较器正输入 1 CMPSS-4 高比较器正输入 2 CMPSS-2 高比较器负输入 1 CMPSS-2 低比较器正输入 1 CMPSS-4 低比较器正输入 2 CMPSS-2 低比较器负输入 1 数字输入 238 的模拟引脚 HIC 片选引脚
A14 C4 CMP3_HP4 CMP3_LP4 AI0239 HIC_A5	0, 4, 8, 12, 15	15	11		I I I I I I	ADC-A 输入 14 ADC-C 输入 4 CMPSS-3 高比较器正输入 4 CMPSS-3 低比较器正输入 4 数字输入 239 的模拟引脚 HIC 地址 5
A15 C7 CMP1_HP3 CMP1_HN0 CMP1_LP3 CMP1_LN0 AI0233 HIC_A4	0, 4, 8, 12, 15	14	10	7	I I I I I I I I	ADC-A 输入 15 ADC-C 输入 7 CMPSS-1 高比较器正输入 3 CMPSS-1 高比较器负输入 0 CMPSS-1 低比较器正输入 3 CMPSS-1 低比较器负输入 0 数字输入 233 的模拟引脚 HIC 地址 4
A2 C9 CMP1_HP0 CMP1_LP0 AI0224 HIC_A3	0, 4, 8, 12, 15	13	9	6	I I I I I I	ADC-A 输入 2 ADC-C 输入 9 CMPSS-1 高比较器正输入 0 CMPSS-1 低比较器正输入 0 数字输入 224 的模拟引脚 HIC 地址 3
A3 C5 VDAC   CMP3_HP3 CMP3_HN0	0, 4, 8, 12, 15	12	8	5	I I I   I I	ADC-A 输入 3 ADC-C 输入 5 片上 CMPSS DAC 的可选外部参考电压。该引脚通过内部电容连接到 VSSA 决定是否选择 ADC 输入或 CMPSS DAC 参考。若该引脚为 CMPSS DAC 参考, 则至少需在该引脚上放置 1uF 电容。 CMPSS-3 高比较器正输入 3 CMPSS-3 高比较器负输入 0

CMP3_LP3 CMP3_LN0 AI0242 HIC_A2					I I I I	CMPSS-3 低比较器正输入 3 CMPSS-3 低比较器负输入 0 数字输入 242 的模拟引脚 HIC 地址 2
A4 C14 CMP2_HP0 CMP4_HP3 CMP4_HN0 CMP2_LP0 CMP4_LP3 CMP4_LN0 AI0225 HIC_NWE	0, 4, 8, 12, 15	27	23	19	I I I I I I I I I I	ADC-A 输入 4 ADC-C 输入 14 CMPSS-2 高比较器正输入 0 CMPSS-4 高比较器正输入 3 CMPSS-4 高比较器负输入 0 CMPSS-2 低比较器正输入 0 CMPSS-4 低比较器正输入 3 CMPSS-4 低比较器负输入 0 数字输入 225 的模拟引脚 HIC 数据写使能
A5 C2 CMP3_HP1 CMP3_HN0 CMP3_LP1 CMP3_LN1 AI0244 HIC_A7	0, 4, 8, 12, 15	17	13	9	I I I I I I I I	ADC-A 输入 5 ADC-C 输入 2 CMPSS-3 高比较器正输入 1 CMPSS-3 高比较器负输入 1 CMPSS-3 低比较器正输入 1 CMPSS-3 低比较器负输入 1 数字输入 244 的模拟引脚 HIC 地址 7
A6 CMP1_HP2 CMP1_LP2 AI0228 HIC_A0	0, 4, 8, 12, 15	10	6	4	I I I I I	模拟输入 CMPSS-1 高比较器正输入 2 CMPSS-1 低比较器正输入 2 数字输入 228 的模拟引脚 HIC 地址 0
A7 C3 CMP4_HP1 CMP4_HN1 CMP4_LP1 CMP4_LN1 AI0245 HIC_NOE	0, 4, 8, 12, 15	23	19	15	I I I I I I I I	ADC-A 输入 7 ADC-C 输入 3 CMPSS-4 高比较器正输入 1 CMPSS-4 高比较器负输入 1 CMPSS-4 低比较器正输入 1 CMPSS-4 低比较器负输入 1 数字输入 245 的模拟引脚 HIC 输出使能
A8 C11 CMP2_HP4 CMP4_HP4 CMP2_LP4 CMP4_LP4 AI0241 HIC_NBE1	0, 4, 8, 12, 15	24	20	16	I I I I I I I I	ADC-A 输入 8 ADC-C 输入 11 CMPSS-2 高比较器正输入 4 CMPSS-4 高比较器正输入 4 CMPSS-2 低比较器正输入 4 CMPSS-4 低比较器正输入 4 数字输入 241 的模拟引脚 HIC 字节使能 1
A9 C8 CMP2_HP2 CMP4_HP0 CMP2_LP2 CMP4_LP0 AI0227	0, 4, 8, 12, 15	28	24	20	I I I I I I I	ADC-A 输入 9 ADC-C 输入 8 CMPSS-2 高比较器正输入 2 CMPSS-4 高比较器正输入 0 CMPSS-2 低比较器正输入 2 CMPSS-4 低比较器正输入 0 数字输入 227 的模拟引脚

HIC_NBE0					I	HIC 字节使能 0
C6	0, 4, 8, 12, 15	11	7	4	I	模拟输入
CMP3_HP0					I	CMPSS-3 高比较器正输入 0
CMP3_LP0					I	CMPSS-3 低比较器正输入 0
AI0226					I	数字输入 226 的模拟引脚
HIC_A1					I	HIC 地址 1
VREFHI		20	16	12	I	ADC-高参考。外部参考模式，该引脚提供外部驱动的高参考电压。内部参考模式，该引脚提供 DSP 的一个驱动电压。任意模式，均需在引脚上至少放置 2.2uF 电容。该电容应放置在靠近 DSP 的 VREFHI 与 VREFLO 引脚间。
VREFLO		21	17	13	I	ADC-低参考
<b>GPIO</b>						
GPIO0	0, 4, 8, 12	63	52	42	I/O	通用输入 0
EPWM1_A	1				0	ePWM1 输出 A
I2CA_SDA	6				I/OD	I2C-A 开漏二进制数据
SPIA_STE	7				I/O	SPA-A 从机发送使能 (STE)
FSIRXA_CLK	9				I	FSIRX-A 输入时钟
CLB_OUTPUTXBAR8	11				0	CLB 输出 X-BAR 输出 8
HIC_BASESEL1	15				I	HIC 基地址范围选择 1
GPIO1	0, 4, 8, 12	62	51	41	I/O	通用输入输出 1
EPWM1_B	1				0	ePWM1 输出 B
I2CA_SCL	6				I/OD	I2C-A 开漏二进制时钟
SPIA_SOMI	7				I/O	SPI-A 从机输出, 主机输入 (SOMI)
CLB_OUTPUTXBA7	11				0	CLB 输出 X-BAR 输出 7
HIC_A2	13				I	HIC 地址 2
FSITXA_TDM_D1	14				I	FSITX-A 时分多路复用附加数据输入
HIC_D10	15				I/O	HIC 数字 10
GPIO2	0, 4, 8, 12	61	50	40	I/O	通用输入输出 2
EPWM2_A	1				0	ePWM2 输出 A
OUTPUTXBAR1	5				0	输出 X-BAR 输出 1
PMBUSA_SDA	6				I/OD	PMBus-A 开漏二进制数据
SPIA_SIMO	7				I/O	SPI-A 从机输入, 主机输出 (SIMO)
SCIA_TX	9				0	SCI-A 发送数据
FSIRXA_D1	10				I	FSIRX-A 数字输入 1
I2CB_SDA	11				I/OD	I2C-B 开漏二进制数据
HIC_A1	13				I	HIC 地址 1
CANA_TX	14				0	CAN-A 发送
HIC_D9	15				I/O	HIC 数据 9
GPIO3	0, 4, 8, 12	60	49	39	I/O	通用输入输出 3
EPWM2_B	1				0	ePWM2 输出 B
OUTPUTXBAR2	2, 5				0	输出 X-BAR 输出 2
PMBUSA_SCL	6				I/OD	PMBus-A 开漏二进制时钟
SPIA_CLK	7				I/O	SPI-A 时钟
SCIA_RX	9				I	SCI-A 接收数据
FSIRXA_D0	10				I	FSIRX-A 数字输入 0
I2CB_SCL	11				I/OD	I2C-B 开漏二进制时钟

HIC_NOE	13				0	HIC 输出使能
CANA_RX	14				I	CAN-A 接收
HIC_D4	15				I/O	HIC 数据 4
GPIO4	0, 4, 8, 12	59	48	38	I/O	通用输入输出 3
EPWM3_A	1				0	ePWM3 输出 A
OUTPUTXBAR3	5				0	输出 X-BAR 输出 3
CANA_TX	6				0	CAN-A 发送
SPIB_CLK	7				I/O	SPI-B 时钟
EQEP2_STROBE	9				I/O	eQEP-2 选通
FSIRXA_CLK	10				I	FSIRX-A 输入时钟
CLB_OUTPUTXBAR6	11				0	CLB 输出 X-BAR 输出 6
HIC_BASESEL2	13				I	HIC 基地址范围选择 2
HIC_NWE	15				I	HIC 数据写使能
GPIO5	0, 4, 8, 12	74	61	47	I/O	通用输入输出 5
EPWM3_B	1				0	ePWM3 输出 B
OUTPUTXBAR3	3				0	输出 X-BAR 输出 3
CANA_RX	6				I	CAN-A 接收
SPIA_STE	7				I/O	SPI-A 从机发送使能 (STE)
FSITXA_D1	9				0	FSITX-A 数据输出 1
CLB_OUTPUTXBAR5	10				0	CLB 输出 X-BAR 输出 5
HIC_A7	13				I	HIC 地址 7
HIC_D4	14				I/O	HIC 数据 4
HIC_D15	15				I/O	HIC 数据 15
GPIO6	0, 4, 8, 12	80	64	48	I/O	通用输入输出 6
EPWM4_A	1				0	ePWM4 输出 A
OUTPUTXBAR4	2				0	输出 X-BAR 输出 4
SYNCOUT	3				0	外部 ePWM 同步脉冲
EQEP1_A	5				I	eQEP-1 输入 A
SPIB_SOMI	7				I/O	SPI-B 从机输出, 主机输入 (SOMI)
FSITXA_D0	9				0	FSITX-A 数据输出 0
FSITXA_D1	11				0	FSITX-A 数据输出 1
HIC_NBE1	13				I	HIC 字节使能 1
CLB_OUTPUTXBAR8	14				0	CLB 输出 X-BAR 输出 8
HIC_D14	15				I/O	HIC 数据 14
GPIO7	0, 4, 8, 12	68	57	43	I/O	通用输入/输出 7
EPWM4_B	1				0	ePWM4 输出 B
OUTPUTXBAR5	3				0	输出 X-BAR 输出 5
EQEP1_B	5				I	eQEP-1 输出 B
SPIB_SIMO	7				I/O	SPI-B 从机输入, 主机输出 (SIMO)
FSITXA_CLK	9				0	FSITX-A 输出时钟
CLB_OUTPUTXBAR2	10				0	CLB 输出 X-BAR 输出 2
HIC_A6	13				I	HIC 地址 6
HIC_D14	15				I/O	HIC 数据 14
GPIO8	0, 4, 8, 12	58	47		I/O	通用输入输出 8
EPWM5_A	1				0	ePWM5 输出 A
ADCSOCA0	3				0	外部 ADC 的 ADC 转换 A 开始
EQEP1_STROBE	5				I/O	eQEP-1 选通
SCIA_TX	6				0	SCI-A 发送数据
SPIA_SIMO	7				I/O	SPI-A 从机输入, 主机输出 (SIMO)

I2CA_SCL	9				I/OD	I2C-A 开漏二进制时钟
FSITXA_D1	10				0	FSITX-A 数据输出 1
CLB_OUTPUTXBAR5	11				0	CLB 输出 X-BAR 输出 5
HIC_A0	13				I	HIC 地址 0
FSITXA_TDM_CLK	14				I	FSITX-A 时分多路复用时钟输入
HIC_D8	15				I/O	HIC 数据 8
GPIO9	0, 4, 8, 12	75	62		I/O	通用输入输出 9
EPWM5_B	1				0	ePWM5 输出 B
OUTPUTXBAR6	3				0	输出 X-BAR 输出 6
EQEP1_INDEX	5				I/O	eQEP-1 索引
SCIA_RX	6				I	SCI-A 接收数据
SPIA_CLK	7				I/O	SPI-A 时钟
FSITXA_D0	10				0	FSITX-A 数据输出 0
LINB_RX	11				I	LIN-B 接收
HIC_BASESELO	13				I	HIC 基地址范围选择 0
I2CB_SCL	14				I/OD	I2C-B 开漏二进制时钟
HIC_NRDY	15				0	HIC 准备
GPIO10	0, 4, 8, 12	76	63		I/O	通用输入输出 10
EPWM6_A	1				0	ePWM6 输出 A
ADCSOCBO	3				0	外部 ADC 的 ADC 转换 B 开始
EQEP1_A	5				I	eQEP-1 输入 A
SPIA_SOMI	7				I/O	SPI-A 从机输出, 主机输入 (SOMI)
I2CA_SDA	9				I/OD	I2C-A 开漏二进制数据
FSITXA_CLK	10				0	FSITX-A 输出时钟
LINB_TX	11				0	LIN-B 发送
HIC_NWE	13				I	HIC 数据写使能
FSITXA_TDM_DO	14				I	FSITX-A 时分多路复用数据输入
GPIO11	0, 4, 8, 12	37	31		I/O	通用输入输出 11
EPWM6_B	1				0	ePWM6 输出 B
OUTPUTXBAR7	3				0	输出 X-BAR 输出 7
EQEP1_B	5				I	eQEP-1 输入 B
SPIA_STE	7				I/O	SPI-A 从机发送使能 (STE)
FSIRXA_D1	9				I	FSIRX-A 数据输入 1
LINB_RX	10				I	LIN-B 接收
EQEP2_A	11				I	eQEP-2 输入 A
SPIA_SIMO	13				I/O	SPI-A 从机输入, 主机输出 (SIMO)
HIC_D6	14				I/O	HIC 数据 6
HIC_NBEO	15				I	HIC 字节使能 0
GPIO12	0, 4, 8, 12	36	30	24	I/O	通用输入输出 12
EPWM7_A	1				0	ePWM7 输出 A
EQEP1_STROBE	5				I/O	eQEP1 选通
PMBUSA_CTL	7				I/O	PMBus-A 控制信号-从机输入/主机输出
FSIRXA_D0	9				I	FSIRX-A 数据输入 0
LINB_TX	10				0	FSIRX-A 数据输入 0
SPIA_CLK	11				I/O	LIN-B 发送
CANA_RX	13				I	SPI-A 时钟
HIC_D13	14				I/O	CAN-A 接收
HIC_INT	15				0	HIC 数据 13 HIC 设备中断
GPIO13	0, 4, 8, 12	35	29	23	I/O	通用输入输出 13

EPWM7_B	1				0	ePWM-7 输出 B
EQEP1_INDEX	5				I/O	eQEP-1 索引
PMBUSA_ALERT	7				I/OD	PMBus-A 开漏二进制报警
FSIRXA_CLK	9				I	FSIRX-A 输入时钟
LINB_RX	10				I	LIN-B 接收
SPIA_SOMI	11				I/O	SPI-A 从机输出, 主机输入(SOMI)
CANA_TX	13				0	CAN-A 发送
HIC_D11	14				I/O	HIC 数据 11
HIC_D5	15				I/O	HIC 数据 5
GPIO14	0, 4, 8, 12	79			I/O	通用输入输出 14
I2CB_SDA	5				I/OD	I2C-B 开漏二进制数据
OUTPUTXBAR3	6				0	输出 X-BAR 输出 3
PMBUSA_SDA	7				I/OD	PMBus-A 开漏二进制数据
SPIB_CLK	9				I/O	SPI-B 时钟
EQEP2_A	10				I	eQEP-2 输入 A
LINB_TX	11				0	LIN-B 发送
EPWM3_A	13				0	ePWM3 输出 A
CLB_OUTPUTXBAR7	14				0	CLB 输出 X-BAR 输出 7
HIC_D15	15				I/O	HIC 数据 15
GPIO15	0, 4, 8, 12	78			I/O	通用输入输出 15
I2CB_SCL	5				I/OD	I2C-B 开漏二进制时钟
OUTPUTXBAR4	6				0	输出 X-BAR 输出 4
PMBUSA_SCL	7				I/OD	PMBus-A 开漏二进制时钟
SPIB_STE	9				I/O	SPI-B 从机发送使能 (STE)
EQEP2_B	10				I	eQEP-2 输入 B
LINB_RX	11				I	LIN-B 接收
EPWM3_B	13				0	ePWM-3 输出 B
CLB_OUTPUTXBAR6	14				0	CLB 输出 X-BAR 输出 6
HIC_D12	15				I/O	HIC 数据 12
GPIO16	0, 4, 8, 12	39	33	26	I/O	通用输入输出 16
SPIA_SIMO	1				I/O	SPI-A 从机输入, 主机输出(SIMO)
OUTPUTXBAR7	3				0	输出 X-BAR 输出 7
EPWM5_A	5				0	ePWM-5 输出 A
SCIA_TX	6				0	SCI-A 发送数据
EQEP1_STROBE	9				I/O	eQEP-1 选通
PMBUSA_SCL	10				I/OD	PMBus-A 开漏二进制时钟
XCLKOUT	11				0	外部时钟输出。该引脚从 DSP 上输出一个时钟选择信号的划分版本。
EQEP2_B	13				I	eQEP-2 输入 B
SPIB_SOMI	14				I/O	SPI-B 从机输出, 主机输入(SOMI)
HIC_D1	15				I/O	HIC 数据 1
GPIO17	0, 4, 8, 12	40	34		I/O	通用输入输出 17
SPIA_SOMI	1				I/O	SPI-A 从机输出, 主机输入(SOMI)
OUTPUTXBAR8	3				0	输出 X-BAR 输出 8
EPWM5_B	5				0	ePWM-5 输出 B
SCIA_RX	6				I	SCI-A 接收数据
EQEP1_INDEX	9				I/O	eQEP-1 索引
PMBUSA_SDA	10				I/OD	PMBus-A 开漏二进制数据
CANA_TX	11				0	CAN-A 发送
HIC_D2	15				I/O	HIC 数据 2

GPIO18_X2	0, 4, 8, 12	50	41	33	I/O	通用输入输出 18_X2
SPIA_CLK	1				I/O	SPI-A 时钟
CANA_RX	3				I	CAN-A 接收
EPWM6_A	5				0	ePWM-6 输出 A
I2CA_SCL	6				I/OD	I2C-A 开漏二进制时钟
EQEP2_A	9				I	eQEP-2 输入 2
PMBUSA_CTL	10				I/O	PMBus-A 控制信号-从机输入/主机输出
XCLKOUT	11				0	外部时钟输出。该引脚从 DSP 上输出一个时钟选择信号的划分版本。
LINB_TX	13				0	LIN-B 发送
FSITXA_TDM_CLK	14				I	FSITX-A 时分多路复用时钟输入
HIC_INT	15				0	HIC 设备中断
X2	ALT				0	晶振输出。更多关于 ALT 功能的相关信息，请查看《HXS320F28002x 参考手册》的系统控制章的外部晶振 (XTAL) 章节
GPIO19_X1	0, 4, 8, 12	51	42	34	I/O	通用输入输出 19_X1
SPIA_STE	1				I/O	SPI-A 从机发送使能 (STE)
CANA_TX	3				0	CAN-A 发送
EPWM6_B	5				0	ePWM-6 输出 B
I2CA_SDA	6				I/OD	I2C-A 开漏二进制数据
EQEP2_B	9				I	eQEP-2 输入 B
PMBUSA_ALERT	10				I/OD	PMBus-A 开漏二进制报警
CLB_OUTPUTXBAR1	11				0	CLB 输出 X-BAR 输出 1
LINB_RX	13				I	LIN-B 接收
FSITXA_TDM_DO	14				I	FSITX-A 时分多路复用数据输入
HIC_NBEO	15				I	HIC 字节使能 0
X1	ALT				I	晶振输入或单端时钟输入。DSP 初始化软件必须在晶振使能前配置该引脚。为使用该晶振，一个石英晶振电路必须连接到 X1 和 X2。该引脚也能用于提供一个单端 3.3V 时钟。更多关于 ALT 功能的相关信息，请查看《HXS320F28002x 参考手册》的系统控制章的外部晶振 (XTAL) 章节
GPIO22	0, 4, 8, 12	67	56		I/O	通用输入输出 22
EQEP1_STROBE	1				I/O	eQEP-1 选通
SPIB_CLK	6				I/O	SPI-B 时钟
LINA_TX	9				0	LIN-A 发送
CLB_OUTPUTXBAR1	10				0	CLB 输出 X-BAR 输出 1
LINB_TX	11				0	LIN-B 发送
HIC_A5	13				I	HIC 地址 5
EPWM4_A	14				0	ePWM-4 输出 A
HIC_D13	15				I/O	HIC 数据 13
GPIO24	0, 4, 8, 12	65	54		I/O	通用输入输出 23

EQEP1_INDEX	1				I/O	eQEP-1 索引
SPIB_STE	6				I/O	SPI-B 从机发送使能 (STE)
LINA_RX	9				I	LIN-A 接收
LINB_RX	11				I	LIN-B 接收
HIC_A3	13				I	HIC 地址 3
EPWM4_B	14				0	ePWM-4 输出 B
HIC_D11	15				I/O	HIC 地址 11
GPIO24	0, 4, 8, 12	41	35	27	I/O	通用输入输出 24
OUTPUTXBAR1	1				0	输出 X-BAR 输出 1
EQEP2_A	2				I	eQEP-2 输入 A
SPIB_SIMO	6				I/O	SPI-B 从机输入, 主机输出 (SIMO)
LINB_TX	9				0	LIN-B 发送
PMBUSA_SCL	10				I/OD	PMBus-A 开漏二进制时钟
SCIA_TX	11				0	SCI-A 发送数据
ERRORSTS	13				0	错误状态输出。使用时, 该信号需要一个外部下拉。
HIC_D3	15				I/O	HIC 数据 3
GPIO25	0, 4, 8, 12	42			I/O	通用输入输出 25
OUTPUTXBAR2	1				0	输出 X-BAR 输出 2
EQEP2_B	2				I	eQEP-2 输入 B
EQEP1_A	5				I	eQEP-1 输入 A
SPIB_SOMI	6				I/O	SPI-B 从机输出, 主机输入 (SOMI)
FSITXA_D1	9				0	FSITX-A 数据输出 1
PMBUSA_SDA	10				I/OD	PMBus-A 开漏二进制数据
SCIA_RX	11				I	SCI-A 接收数据
HIC_BASESELO	14				I	HIC 基地址范围选择 0
GPIO26	0, 4, 8, 12	43			I/O	通用输入输出 26
OUTPUTXBAR3	1, 5				0	输出 X-BAR 输出 3
EQEP2_INDEX	2				I/O	eQEP-2 索引
SPIB_CLK	6				I/O	SPI-B 时钟
FSITXA_D0	9				0	FSITX-A 数据输出 0
PMBUSA_CTL	10				I/O	PMBus-A 控制信号-从机输入/主机输出
I2CA_SDA	11				I/OD	I2C-A 开漏二进制数据
HIC_D0	14				I/O	HIC 数据 0
HIC_A1	15				I	HIC 地址 1
GPIO27	0, 4, 8, 12	44			I/O	通用输入输出 27
OUTPUTXBAR4	1, 5				0	输出 X-BAR 输出 4
EQEP2_STROBE	2				I/O	eQEP-2 选通
SPIB_STE	6				I/O	SPI-B 从机发送使能 (STE)
FSITXA_CLK	9				0	FSITX-A 输出时钟
PMBUSA_ALERT	10				I/OD	PMBus-A 开漏二进制报警
I2CA_SCL	11				I/OD	I2C-A 开漏二进制时钟
HIC_D1	14				I/O	HIC 数据 1
HIC_A4	15				I	HIC 地址 4
GPIO28	0, 4, 8, 12	4	2	2	I/O	通用输入输出 28
SCIA_RX	1				I	SCI-A 接收数据
EPWM7_A	3				0	ePWM-7 输出 A
OUTPUTXBAR5	5				0	输出 X-BAR 输出 5
EQEP1_A	6				I	eQEP-1 输入 A

EQEP2_STROBE	9				I/O	eQEP-2 选通
LINA_TX	10				0	LIN-A 发送
SPIB_CLK	11				I/O	SPI-B 时钟
ERRORSTS	13				0	错误状态输出。使用时，该信号需要一个外部下拉。
I2CB_SDA	14				I/OD	I2C-B 开漏二进制数据
HIC_NOE	15				0	HIC 输出使能
GPIO29	0, 4, 8, 12	3	1	1	I/O	通用输入输出 29
SCIA_TX	1				0	SCI-A 发送数据
EPWM7_B	3				0	ePWM-7 输出 B
OUTPUTXBAR6	5				0	输出 X-BAR 输出 6
EQEP1_B	6				I	eQEP-1 输入 B
EQEP2_INDEX	9				I/O	eQEP-2 索引
LINA_RX	10				I	LIN-A 接收
SPIB_STE	11				I/O	SPI-B 从机发送使能 (STE)
ERRORSTS	13				0	错误状态输出。使用时，该信号需要一个外部下拉。
I2CB_SCL	14				I/OD	I2C-B 开漏二进制时钟
HIC_NCS	15				I	HIC 片选
GPIO30	0, 4, 8, 12	1			I/O	通用输入输出 30
CANA_RX	1				I	CAN-A 接收
SPIB_SIMO	3				I/O	SPI-B 从机输入, 主机输出 (SIMO)
OUTPUTXBAR7	5				0	输出 X-BAR 输出 7
EQEP1_STROBE	6				I/O	eQEP-1 选通
FSIRXA_CLK	9				I	FSIRX-A 输入时钟
EPWM1_A	11				0	ePWM-1 输出 A
HIC_D8	14				I/O	HIC 数据 8
GPIO31	0, 4, 8, 12	2			I/O	通用输入输出 31
CANA_TX	1				0	CAN-A 发送
SPIB_SOMI	3				I/O	SPI-B 从机输出, 主机输入 (SOMI)
OUTPUTXBAR8	5				0	输出 X-BAR 输出 8
EQEP1_INDEX	6				I/O	eQEP-1 索引
FSIRXA_D1	9				I	FSIRX-A 数据输入 1
EPWM1_B	11				0	ePWM-1 输出 B
HIC_D10	14				I/O	HIC 数据 10
GPIO32	0, 4, 8, 12	49	40	32	I/O	通用输入输出 32
I2CA_SDA	1				I/OD	I2C-A 开漏二进制数据
SPIB_CLK	3				I/O	SPI-B 时钟
LINA_TX	6				0	LIN-A 发送
FSIRXA_D0	9				I	FSIRX-A 数据输入 0
CANA_TX	10				0	CAN-A 发送
ADCSOCB0	13				0	外部 ADC 的 ADC 转换 B 开始
HIC_INT	15				0	HIC 设备中断
GPIO33	0, 4, 8, 12	38	32	25	I/O	通用输入输出 33
I2CA_SCL	1				I/OD	I2C-A 开漏二进制时钟
SPIB_STE	3				I/O	SPI-B 从机发送使能 (STE)
OUTPUTXBAR4	5				0	输出 X-BAR 输出 4
LINA_RX	6				I	LIN-A 接收
FSIRXA_CLK	9				I	FSIRX-A 输入时钟
CANA_RX	10				I	CAN-A 接收

EQEP2_B	11				I	eQEP-2 输入 B
ADCSOCA0	13				0	外部 ADC 的 ADC 转换 A 开始
HIC_DO	15				I/O	HIC 数据 0
GPIO34	0, 4, 8, 12	77			I/O	通用输入输出 34
OUTPUTXBAR1	1				0	输出 X-BAR 输出 1
PMBUSA_SDA	6				I/OD	PMBus-A 开漏二进制数据
HIC_NBE1	13				I	HIC 字节使能 1
I2CB_SDA	14				I/OD	I2C-B 开漏二进制数据
HIC_D9	15				I/O	HIC 数据 9
GPIO35	0, 4, 8, 12	48	39	31	I/O	通用输入输出 35
SCIA_RX	1				I	SCI-A 接收数据
I2CA_SDA	3				I/OD	I2C-A 开漏二进制数据
CANA_RX	5				I	CAN-A 接收
PMBUSA_SCL	6				I/OD	PMBus-A 开漏二进制时钟
LINA_RX	7				I	LIN-A 接收
EQEP1_A	9				I	eQEP-1 输入 A
PMBUSA_CTL	10				I/O	PMBus-A 控制信号-从机输入/主机输出
HIC_NWE	14				I	HIC 数据写使能
TDI	15				I	JTAG 测试数据输入 (TDI) -TDI 是一个默认的复用选择引脚。默认下该引脚内部上拉是关闭的。引脚作为 JTAG TDI 使用时, 内部上拉需使能或者在开发板添加外部上拉, 以避免浮点输入。
GPIO37	0, 4, 8, 12	46	37	29	I/O	通用输入输出 37
OUTPUTXBAR2	1				0	输出 X-BAR 输出 2
I2CA_SCL	3				I/OD	I2C-A 开漏二进制时钟
SCIA_TX	5				0	SCI-A 发送数据
CANA_TX	6				0	CAN-A 发送
LINA_TX	7				0	LIN-A 发送
EQEP1_B	9				I	eQEP-1 输入 B
PMBUSA_ALERT	10				I/OD	PMBus-A 开漏二进制报警
HIC_NRDY	14				0	HIC 准备
TDO	15				0	JTAG 测试数据输出 (TDO) -TDO 是一个默认复用选择引脚。默认下内部上拉是关闭的。当无 JTAG 活动时, TDO 功能将表现为三态, 舍弃该引脚的浮点; 内部上拉需使能或在开发板上添加一个外部上拉, 以避免 GPIO 浮点输入。
GPIO39	0, 4, 8, 12	56	46		I/O	通用输入输出 39
FSIRXA_CLK	7				I	FSIRX-A 输入时钟
EQEP2_INDEX	9				I/O	eQEP-2 索引
CLB_OUTPUTXBAR2	11				0	CLB 输出 X-BAR 输出 2
SYNCOUT	13				0	外部 ePWM 同步脉冲
EQEP1_INDEX	14				I/O	eQEP-1 索引
HIC_D7	15				I/O	HIC 数据 7
GPIO40	0, 4, 8, 12	64	53		I/O	通用输入输出 40

SPIB_SIM0	1				I/O	SPI-B 从机输入, 主机输出(SIMO)
EPWM2_B	5				0	ePWM-2 输出 B
PMBUSA_SDA	6				I/OD	PMBus-A 开漏二进制数据
FSIRXA_D0	7				I	FSIRX-A 数据输入 0
EQEP1_A	10				I	eQEP-1 输入 A
LINB_TX	11				0	LIN-B 发送
HIC_NBE1	14				I	HIC 字节使能 1
HIC_D5	15				I/O	HIC 数据 5
GPIO41	0, 4, 8, 12	66	55		I/O	通用输入输出 41
EPWM2_A	5				0	ePWM-2 输出 A
PMBUSA_SCL	6				I/OD	PMBus-A 开漏二进制时钟
FSIRXA_D1	7				I	FSIRX-A 数据输入 1
EQEP1_B	10				I	eQEP-1 输入 B
LINB_RX	11				I	LIN-B 接收
HIC_A4	13				I	HIC 地址 4
SPIB_SOMI	14				I/O	SPI-B 从机输出, 主机输入(SOMI)
HIC_D12	15				I/O	HIC 数据 12
GPIO42	0, 4, 8, 12	57			I/O	通用输入输出 42
LINA_RX	2				I	LIN-A 接收
OUTPUTXBAR5	3				0	输出 X-BAR 输出 5
PMBUSA_CTL	5				I/O	PMBus-A 控制信号-从机输入/主机输出
I2CA_SDA	6				I/OD	I2C-A 开漏二进制数据
EQEP1_STROBE	10				I/O	eQEP-1 选通
CLB_OUTPUTXBAR3	11				0	CLB 输出 X-BAR 输出 3
HIC_D2	14				I/O	HIC 数据 2
HIC_A6	15				I	HIC 地址 6
GPIO43	0, 4, 8, 12	54			I/O	通用输入输出 43
OUTPUTXBAR6	3				0	输出 X-BAR 输出 6
PMBUSA_ALERT	5				I/OD	PMBus-A 开漏二进制报警
I2CA_SCL	6				I/OD	I2C-A 开漏二进制时钟
EQEP1_INDEX	10				I/O	eQEP-1 索引
CLB_OUTPUTXBAR4	11				0	CLB 输出 X-BAR 输出 4
HIC_D3	14				I/O	HIC 数据 3
HIC_A7	15				I	HIC 地址 7
GPIO44	0, 4, 8, 12	69			I/O	通用输入输出 44
OUTPUTXBAR7	3				0	输出 X-BAR 输出 7
EQEP1_A	5				I	eQEP-1 输入 A
FSITXA_CLK	7				0	FSITX-A 输出时钟
CLB_OUTPUTXBAR3	10				0	CLB 输出 X-BAR 输出 3
HIC_D7	13				I/O	HIC 数据 7
HIC_D5	15				I/O	HIC 数据 5
GPIO45	0, 4, 8, 12	73			I/O	通用输入输出 45
OUTPUTXBAR8	3				0	输出 X-BAR 输出 8
FSITXA_D0	7				0	FSITX-A 数据输出 0
CLB_OUTPUTXBAR4	10				0	CLB 输出 X-BAR 输出 4
HIC_D6	15				I/O	HIC 数据 6
GPIO46	0, 4, 8, 12	6			I/O	通用输入输出 46
LINA_TX	3				0	LIN-A 发送
FSITXA_D1	7				0	FSITX-A 数据输入 1

HIC_NWE	15				I	HIC 数据写使能
GPI061	0, 4, 8, 12				I/O	通用输入输出 61
GPI062	0, 4, 8, 12				I/O	通用输入输出 62
GPI063	0, 4, 8, 12				I/O	通用输入输出 63
<b>测试, JTAG 与复位</b>						
FLT1		34			I/O	Flash 测试引脚 1。HX 保留。必须保持不连接
FLT2		33			I/O	Flash 测试引脚 2。HX 保留。必须保持不连接
TCK		45	36	28	I	JTAG 测试时钟带内部上拉
TMS		47	38	30	I/O	JTAG 测试模式选择 (TMS) 带内部上拉。在 TCK 的上升边沿, 该串行控制输入被输入到 TAP 控制器。该设备没有 TRSTn 引脚。应在 TMS 引脚到 VDDIO 放置一个外部上拉电阻 (推荐 2.2k $\Omega$ ), 以在正常操作期间保持 JTAG 复位。
XRSn		5	3	3	I/OD	设备复位与看门狗复位。在上电期间, 该引脚被设备驱动低。外部电路也可以驱动该引脚对设备复位起作用。该引脚当看门狗复位发生时, 也被 DSP 驱动低。在看门狗复位期间, XRSn 引脚在 512 个 OSCCLK 周期期间对看门狗复位驱动低。在 XRSn 到 VDDIO 引脚间应放置一个 2.2k $\Omega$ -10k $\Omega$ 的电阻。若在 XRSn 到 VSS 引脚间放置一个噪声滤波电容, 该值应小于 100nF。该值在看门狗复位生效期间将允许看门狗在 512 个 OSCCLK 周期内正确地驱动 XRSn 引脚到 VOL。该引脚是一个带内部上拉的开漏输出。若该引脚被外部设备驱动, 它应使用开漏设备模式完成。
<b>电源与接地</b>						
VDD		8, 31, 53, 71	4, 27, 44, 59	36, 45		1. 2V 数字逻辑电源引脚。HX 推荐在每 VDD 引脚附近放置一个近似 10uF 的解耦电容。它也被 VDD 引脚推荐外部连接到其它引脚。
VDDA		26	22	18		3. 3V 模拟电源引脚。应在每个引脚上放置一个最小 2.2uF 的解耦电容。
VDDIO		7, 32, 52, 72	28, 43, 60	35, 46		3. 3V 数字 I/O 电源引脚。在每个引脚上至少放置一个 0.1uF 的解耦电容。它推荐在所有引脚上放置一个 20uF 的电容, 其值依赖于常规条件使用。
VSS		9, 30, 55, 70	5, 26, 45,	22, 37, 44		数字地

			58			
VSSA		25	21	17		模拟地

## 4.3 信号描述

### 4.3.1 模拟信号

表 4-2 模拟信号

信号名称	引脚类型	描述	GPIO	80QFP	64QFP	48QFP
A0	I	ADC-A 输入 0		19	15	11
A1	I	模拟输入		18	14	10
A2	I	ADC-A 输入 2		13	9	6
A3	I	ADC-A 输入 3		12	8	5
A4	I	ADC-A 输入 4		27	23	19
A5	I	ADC-A 输入 5		17	13	9
A6	I	模拟输入		10	6	4
A7	I	ADC-A 输入 7		23	19	15
A8	I	ADC-A 输入 8		24	20	16
A9	I	ADC-A 输入 9		28	24	20
A10	I	ADC-A 输入 10		29	25	21
A11	I	ADC-A 输入 11		16	12	8
A12	I	ADC-A 输入 12		22	18	14
A14	I	ADC-A 输入 14		15	11	
A15	I	ADC-A 输入 15		14	10	7
AI0224	I	数字输入 224 的模拟引脚		13	9	6
AI0225	I	数字输入 225 的模拟引脚		27	23	19
AI0226	I	数字输入 226 的模拟引脚		11	7	4
AI0227	I	数字输入 227 的模拟引脚		28	24	20
AI0228	I	数字输入 228 的模拟引脚		10	6	4
AI0230	I	数字输入 230 的模拟引脚		29	25	21
AI0231	I	数字输入 231 的模拟引脚		19	15	11
AI0232	I	数字输入 232 的模拟引脚		18	14	10
AI0233	I	数字输入 233 的模拟引脚		14	10	7
AI0237	I	数字输入 237 的模拟引脚		16	12	8
AI0238	I	数字输入 238 的模拟引脚		22	18	14
AI0239	I	数字输入 239 的模拟引脚		15	11	
AI0241	I	数字输入 241 的模拟引脚		24	20	16
AI0242	I	数字输入 242 的模拟引脚		12	8	5
AI0244	I	数字输入 244 的模拟引脚		17	13	9
AI0245	I	数字输入 245 的模拟引脚		23	19	15
C0	I	ADC-C 输入 0		16	12	8
C1	I	ADC-C 输入 1		22	18	14
C2	I	ADC-C 输入 2		17	13	9
C3	I	ADC-C 输入 3		23	19	15
C4	I	ADC-C 输入 4		15	11	

C5	I	ADC-C 输入 5		12	8	5
C6	I	ADC-C 输入 6		11	7	4
C7	I	ADC-C 输入 7		14	10	7
C8	I	ADC-C 输入 8		28	24	20
C9	I	ADC-C 输入 9		13	9	6
C10	I	ADC-C 输入 10		29	25	21
C11	I	ADC-C 输入 11		24	20	16
C14	I	ADC-C 输入 14		27	23	19
C15	I	ADC-C 输入 15		19	15	11
CMP1_HN0	I	CMPSS-1 高比较器负输入 0		14	10	7
CMP1_HN1	I	CMPSS-1 高比较器负输入 1		16	12	8
CMP1_HP0	I	CMPSS-1 高比较器正输入 0		13	9	6
CMP1_HP1	I	CMPSS-1 高比较器正输入 1		16	12	8
CMP1_HP2	I	CMPSS-1 高比较器正输入 2		10	6	4
CMP1_HP3	I	CMPSS-1 高比较器正输入 3		14	10	7
CMP1_HP4	I	CMPSS-1 高比较器正输入 4		18	14	10
CMP1_LN0	I	CMPSS-1 低比较器负输入 0		14	10	7
CMP1_LN1	I	CMPSS-1 低比较器负输入 1		16	12	8
CMP1_LP0	I	CMPSS-1 低比较器正输入 0		13	9	6
CMP1_LP1	I	CMPSS-1 低比较器正输入 1		16	12	8
CMP1_LP2	I	CMPSS-1 低比较器正输入 2		10	6	4
CMP1_LP3	I	CMPSS-1 低比较器正输入 3		14	10	7
CMP1_LP4	I	CMPSS-1 低比较器正输入 4		18	14	10
CMP2_HN0	I	CMPSS-2 高比较器负输入 0		29	25	21
CMP2_HN1	I	CMPSS-2 高比较器负输入 1		22	18	14
CMP2_HP0	I	CMPSS-2 高比较器正输入 0		27	23	19
CMP2_HP1	I	CMPSS-2 高比较器正输入 1		22	18	14
CMP2_HP2	I	CMPSS-2 高比较器正输入 2		28	24	20
CMP2_HP3	I	CMPSS-2 高比较器正输入 3		29	25	21
CMP2_HP4	I	CMPSS-2 高比较器正输入 4		24	20	16
CMP2_LN0	I	CMPSS-2 低比较器负输入 0		29	25	21
CMP2_LN1	I	CMPSS-2 低比较器负输入 1		22	18	14
CMP2_LP0	I	CMPSS-2 低比较器正输入 0		27	23	19
CMP2_LP1	I	CMPSS-2 低比较器正输入 1		22	18	14
CMP2_LP2	I	CMPSS-2 低比较器正输入 2		28	24	20
CMP2_LP3	I	CMPSS-2 低比较器正输入 3		29	25	21
CMP2_LP4	I	CMPSS-2 低比较器正输入 4		24	20	16
CMP3_HN0	I	CMPSS-3 高比较器负输入 0		12	8	5
CMP3_HN1	I	CMPSS-3 高比较器负输入 1		17	13	9
CMP3_HP0	I	CMPSS-3 高比较器正输入 0		11	7	4
CMP3_HP1	I	CMPSS-3 高比较器正输入 1		17	13	9
CMP3_HP2	I	CMPSS-3 高比较器正输入 2		19	15	11
CMP3_HP3	I	CMPSS-3 高比较器正输入 3		12	8	5
CMP3_HP4	I	CMPSS-3 高比较器正输入 4		15	11	
CMP3_LN0	I	CMPSS-3 低比较器负输入 0		12	8	5
CMP3_LN1	I	CMPSS-3 低比较器负输入 1		17	13	9
CMP3_LP0	I	CMPSS-3 低比较器正输入 0		11	7	4
CMP3_LP1	I	CMPSS-3 低比较器正输入 1		17	13	9
CMP3_LP2	I	CMPSS-3 低比较器正输入 2		19	15	11

CMP3_LP3	I	CMPSS-3 低比较器正输入 3	12	8	5
CMP3_LP4	I	CMPSS-3 低比较器正输入 4	15	11	
CMP4_HN0	I	CMPSS-4 高比较器负输入 0	27	23	19
CMP4_HN1	I	CMPSS-4 高比较器负输入 1	23	19	15
CMP4_HP0	I	CMPSS-4 高比较器正输入 0	28	24	20
CMP4_HP1	I	CMPSS-4 高比较器正输入 1	23	19	15
CMP4_HP2	I	CMPSS-4 高比较器正输入 2	22	18	14
CMP4_HP3	I	CMPSS-4 高比较器正输入 3	27	23	19
CMP4_HP4	I	CMPSS-4 高比较器正输入 4	24	20	16
CMP4_LN0	I	CMPSS-4 低比较器负输入 0	27	23	19
CMP4_LN1	I	CMPSS-4 低比较器负输入 1	23	19	15
CMP4_LP0	I	CMPSS-4 低比较器正输入 0	28	24	20
CMP4_LP1	I	CMPSS-4 低比较器正输入 1	23	19	15
CMP4_LP2	I	CMPSS-4 低比较器正输入 2	22	18	14
CMP4_LP3	I	CMPSS-4 低比较器正输入 3	27	23	19
CMP4_LP4	I	CMPSS-4 低比较器正输入 4	24	20	16
HIC_A0	I	HIC 地址 0	10	6	4
HIC_A1	I	HIC 地址 1	11	7	4
HIC_A2	I	HIC 地址 2	12	8	5
HIC_A3	I	HIC 地址 3	13	9	6
HIC_A4	I	HIC 地址 4	14	10	7
HIC_A5	I	HIC 地址 5	15	11	
HIC_A6	I	HIC 地址 6	16	12	8
HIC_A7	I	HIC 地址 7	17	13	9
HIC_BASESEL0	I	HIC 基地址范围选择 0	18	14	10
HIC_BASESEL1	I	HIC 基地址范围选择 1	19	15	11
HIC_BASESEL2	I	HIC 基地址范围选择 2	29	25	21
HIC_NBE0	I	HIC 字节使能 0	28	24	20
HIC_NBE1	I	HIC 字节使能 1	24	20	16
HIC_NCS	I	HIC 片选	22	18	14
HIC_NOE	O	HIC 输出使能	23	19	15
HIC_NWE	I	HIC 数据写使能	27	23	19
VDAC	I	片上 CMPSS DAC 的可选外部参考电压。这里是引脚到 VSSA 的一个内部电容决定选择 ADC 输入或 CMPSS DAC 参考。若该引脚选择 CMPSS DAC 参考，则在该引脚至少放置 1uF 电容。	12	8	5
VREFHI	I	ADC-高参考。外部参考模式下，在该引脚上提供外部驱动的高参考电压。内部参考模式下，在该引脚通过设备提供一个驱动电压。任意模式下，该引脚上至少放置 1 个 2.2uF 电容。该电容应放置在尽可能靠近设备的 VREFHI 与 VREFLO 引脚间。	20	16	12
VREFLO	I	ADC-低参考	21	17	13

### 4.3.2 数字信号

表 4-3 数字信号

信号名称	引脚类型	描述	GPIO	80QFP	64QFP	48QFP
ADCSOCA0	0	外部 ADC 的 ADC 转换 A 开始	33, 8	38, 58	32, 47	25
ADCSOCB0	0	外部 ADC 的 ADC 转换 B 开始	10, 32	49, 76	40, 63	32
CANA_RX	I	CAN-A 接收	12, 18, 3, 30, 3 3, 35, 5	1, 36, 38, 48, 50, 60, 74	30, 32, 39, 41, 49, 61	24, 25, 31, 33 , 39, 47
CANA_TX	0	CAN-A 发送	13, 17, 19, 2, 3 1, 32, 37, 4	2, 35, 40, 46, 49, 51, 59, 61	29, 34, 37, 40, 42, 48, 50	23, 29, 32, 34 , 38, 40
CLB_OUTPUTXBAR1	0	CLB 输出 X-BAR 输出 1	19, 22	51, 67	42, 56	34
CLB_OUTPUTXBAR2	0	CLB 输出 X-BAR 输出 2	39, 7	56, 68	46, 57	43
CLB_OUTPUTXBAR3	0	CLB 输出 X-BAR 输出 3	42, 44	57, 69		
CLB_OUTPUTXBAR4	0	CLB 输出 X-BAR 输出 4	43, 45	54, 73		
CLB_OUTPUTXBAR5	0	CLB 输出 X-BAR 输出 5	5, 8	58, 74	47, 61	47
CLB_OUTPUTXBAR6	0	CLB 输出 X-BAR 输出 6	15, 4	59, 78	48	38
CLB_OUTPUTXBAR7	0	CLB 输出 X-BAR 输出 7	1, 14	62, 79	51	41
CLB_OUTPUTXBAR8	0	CLB 输出 X-BAR 输出 8	6	63, 80	52, 64	42, 48
EPWM1_A	0	ePWM-1 输出 A	30	1, 63	52	42
EPWM1_B	0	ePWM-1 输出 B	1, 31	2, 62	51	41
EPWM2_A	0	ePWM-2 输出 A	2, 41	61, 66	50, 55	40
EPWM2_B	0	ePWM-2 输出 B	3, 40	60, 64	51	39
EPWM3_A	0	ePWM-3 输出 A	14, 4	59, 79	48	38
EPWM3_B	0	ePWM-3 输出 B	15, 5	74, 78	61	47
EPWM4_A	0	ePWM-4 输出 A	22, 6	67, 80	56, 64	48
EPWM4_B	0	ePWM-4 输出 B	23, 7	65, 68	54, 57	43
EPWM5_A	0	ePWM-5 输出 A	16, 8	39, 8	33, 47	26
EPWM5_B	0	ePWM-5 输出 B	17, 9	40, 75	34, 62	
EPWM6_A	0	ePWM-6 输出 A	10, 18	50, 76	41, 63	33
EPWM6_B	0	ePWM-6 输出 B	11, 19	37, 51	31, 42	34
EPWM7_A	0	ePWM-7 输出 A	12, 28	36, 4	2, 30	2, 24
EPWM7_B	0	ePWM-7 输出 B	13, 29	3, 35	1, 29	1, 23
EQEP1_A	0	eQEP-1 输入 A	10, 25, 28, 35, 40, 44, 6	4, 42, 48, 64, 69, 76, 80	2, 39, 53, 63, 64	2, 31, 48
EQEP1_B	0	eQEP-1 输入 B	11, 29, 37, 41, 7	3, 37, 46, 66, 68	1, 31, 37, 55, 57	1, 29, 43
EQEP1_INDEX	I/O	eQEP-1 索引	13, 17, 23, 31, 39, 43, 9	2, 35, 40, 54, 56, 65, 75	29, 34, 46, 54, 62	23
EQEP1_STROBE	I/O	eQEP-1 选通	12, 16, 22, 30, 42, 8	1, 36, 39, 57, 58, 67	39, 33, 47, 56	24, 26
EQEP2_A	0	eQEP-2 输入 A	11, 14, 18, 24	37, 41, 50, 79	31, 35, 41	27, 33
EQEP2_B	0	eQEP-2 输入 B	15, 16, 19, 25, 33	38, 39, 42, 51, 78	32, 33, 42	25, 26, 34
EQEP2_INDEX	I/O	eQEP-2 索引	26, 29, 39	3, 43, 56	1, 46	1
EQEP2_STROBE	I/O	eQEP-2 选通	27, 28, 4	4, 44, 59	2, 48	2, 38

ERRORSTS	0	错误状态输出。使用时, 该信号需外部上拉	24, 28, 29	3, 4, 41	1, 2, 35	1, 2, 27
FSIRXA_CLK	I	FSIRX-A 输入时钟	13, 30, 33, 39, 4	1, 35, 28, 56, 59, 63	29, 32, 46, 48, 52	23, 25, 38, 42
FSIRXA_D0	I	FSIRX-A 数据输入 0	12, 3, 32, 40	36, 49, 60, 64	30, 40, 49, 53	24, 32, 39
FSIRXA_D1	I	FSIRX-A 数据输入 1	11, 2, 31, 41	2, 37, 61, 66	31, 50, 55	40
FSITXA_CLK	0	FSITX-A 输出时钟	10, 27, 44, 7	44, 68, 69, 76	57, 63	43
FSITXA_D0	0	FSITX-A 数据输出 0	26, 45, 6, 9	43, 73, 75, 80	62, 64	48
FSITXA_D1	0	FSITX-A 数据输出 1	25, 36, 5, 6, 8	42, 58, 6, 74, 80	47, 61, 64	47, 48
FSITXA_TDM_CLK	I	FSITX-A 时分多路复用时钟输入	18, 8	50, 58	41, 47	33
FSITXA_TDM_D0	I	FSITX-A 时分多路复用数据输入	10, 19	51, 76	42, 63	34
FSITXA_TDM_D1	I	FSITX-A 时分多路复用附加数据输入	1	62	51	41
GPI00	I/O	通用输入输出 0		63	52	42
GPI01	I/O	通用输入输出 1	1	62	51	41
GPI02	I/O	通用输入输出 2	2	61	50	40
GPI03	I/O	通用输入输出 3	3	60	49	39
GPI04	I/O	通用输入输出 4	4	59	48	38
GPI05	I/O	通用输入输出 5	5	74	61	47
GPI06	I/O	通用输入输出 6	6	80	64	48
GPI07	I/O	通用输入输出 7	7	68	57	43
GPI08	I/O	通用输入输出 8	8	58	47	
GPI09	I/O	通用输入输出 9	9	75	62	
GPI010	I/O	通用输入输出 10	10	76	63	
GPI011	I/O	通用输入输出 11	11	37	31	
GPI012	I/O	通用输入输出 12	12	36	30	24
GPI013	I/O	通用输入输出 13	13	35	29	23
GPI014	I/O	通用输入输出 14	14	79		
GPI015	I/O	通用输入输出 15	15	78		
GPI016	I/O	通用输入输出 16	16	39	33	26
GPI017	I/O	通用输入输出 17	17	40	34	
GPI018_X2	I/O	通用输入输出 18_X2	18	50	41	33
GPI019_X1	I/O	通用输入输出 19_X1	19	51	42	34
GPI022	I/O	通用输入输出 22	22	67	56	
GPI023	I/O	通用输入输出 23	23	65	54	
GPI024	I/O	通用输入输出 24	24	41	35	27
GPI025	I/O	通用输入输出 25	25	42		
GPI026	I/O	通用输入输出 26	26	43		
GPI027	I/O	通用输入输出 27	27	44		
GPI028	I/O	通用输入输出 28	28	4	2	2
GPI029	I/O	通用输入输出 29	29	3	1	1
GPI030	I/O	通用输入输出 30	30	1		
GPI031	I/O	通用输入输出 31	31	2		
GPI032	I/O	通用输入输出 32	32	49	40	32
GPI033	I/O	通用输入输出 33	33	38	32	25
GPI034	I/O	通用输入输出 34	34	77		

GPI035	I/O	通用输入输出 35	35	48	39	31
GPI037	I/O	通用输入输出 37	37	46	37	29
GPI039	I/O	通用输入输出 39	39	56	46	
GPI040	I/O	通用输入输出 40	40	64	53	
GPI041	I/O	通用输入输出 41	41	66	55	
GPI042	I/O	通用输入输出 42	42	57		
GPI043	I/O	通用输入输出 43	43	54		
GPI044	I/O	通用输入输出 44	44	69		
GPI045	I/O	通用输入输出 45	45	73		
GPI046	I/O	通用输入输出 46	46	6		
GPI061	I/O	通用输入输出 61	61			
GPI062	I/O	通用输入输出 62	62			
GPI063	I/O	通用输入输出 63	63			
HIC_A0	I	HIC 地址 0	8	58	47	
HIC_A1	I	HIC 地址 1	2, 26	43, 61	50	40
HIC_A2	I	HIC 地址 2	1	62	51	41
HIC_A3	I	HIC 地址 3	23	65	54	
HIC_A4	I	HIC 地址 4	27, 41	44, 66	55	
HIC_A5	I	HIC 地址 5	22	67	56	
HIC_A6	I	HIC 地址 6	42, 7	57, 68	57	43
HIC_A7	I	HIC 地址 7	43, 5	54, 74	61	47
HIC_BASESELO	I	HIC 基地址范围选择 0	25, 9	42, 75	62	
HIC_BASESEL1	I	HIC 基地址范围选择 1		63	52	42
HIC_BASESEL2	I	HIC 基地址范围选择 2	4	59	48	38
HIC_D0	I/O	HIC 数据 0	26, 33	38, 43	32	25
HIC_D1	I/O	HIC 数据 1	16, 27	39, 44	33	26
HIC_D2	I/O	HIC 数据 2	17, 42	40, 57	34	
HIC_D3	I/O	HIC 数据 3	24, 43	41, 54	35	27
HIC_D4	I/O	HIC 数据 4	3, 5	60, 74	49, 61	39, 47
HIC_D5	I/O	HIC 数据 5	13, 40, 44	35, 64, 69	29, 53	23
HIC_D6	I/O	HIC 数据 6	11, 45	37, 73	31	
HIC_D7	I/O	HIC 数据 7	39, 44	56, 69	46	
HIC_D8	I/O	HIC 数据 8	30, 8	1, 58	47	
HIC_D9	I/O	HIC 数据 9	2, 34	61, 77	50	40
HIC_D10	I/O	HIC 数据 10	1, 31	2, 62	51	41
HIC_D11	I/O	HIC 数据 11	13, 23	35, 65	29, 54	23
HIC_D12	I/O	HIC 数据 12	15, 41	66, 78	55	
HIC_D13	I/O	HIC 数据 13	12, 22	36, 67	30, 56	24
HIC_D14	I/O	HIC 数据 14	6, 7	68, 80	57, 64	43, 48
HIC_D15	I/O	HIC 数据 15	14, 5	74, 79	61	47
HIC_INT	0	HIC 设备中断	12, 18, 32	36, 49, 50	30, 40, 41	24, 32, 33
HIC_NBE0	I	HIC 字节使能 0	11, 19	37, 51	31, 42	34
HIC_NBE1	I	HIC 字节使能 1	34, 40, 6	64, 77, 80	53, 64	48
HIC_NCS	I	HIC 片选	29	3	1	1
HIC_NOE	0	HIC 输出使能	28, 3	4, 60	2, 49	2, 39
HIC_NRDY	0	HIC 准备	37, 9	46, 75	37, 62	29
HIC_NWE	I	HIC 数据写使能	10, 35, 4, 46	48, 59, 6, 76	39, 48, 63	31, 38
I2CA_SCL	I/OD	I2C-A 开漏二进制时钟	1, 18, 27, 33, 37, 43, 8	38, 44, 46, 50, 54, 58, 62	32, 37, 42, 47, 51	25, 29, 33, 41

I2CA_SDA	I/OD	I2C-A 开漏二进制数据	10, 19, 26, 32, 35, 42	43, 48, 49, 51, 57, 63, 76	39, 40, 42, 52, 63	31, 32, 34, 42
I2CB_SCL	I/OD	I2C-B 开漏二进制时钟	15, 29, 3, 9	3, 60, 75, 78	1, 49, 62	1, 39
I2CB_SDA	I/OD	I2C-B 开漏二进制数据	14, 2, 28, 34	4, 61, 77, 79	2, 50	2, 40
LINA_RX	I	LIN-A 接收	23, 29, 33, 35, 42	3, 38, 48, 57, 65	1, 32, 39, 54	1, 25, 31
LINA_TX	0	LIN-A 发送	22, 28, 32, 37, 46	4, 46, 49, 6, 67	2, 37, 40, 56	2, 29, 32
LINB_RX	I	LIN-B 接收	11, 13, 15, 19, 23, 41, 9	35, 37, 51, 65, 66, 75, 78	29, 31, 42, 54, 55, 62	23, 34
LINB_TX	0	LIN-B 发送	10, 12, 14, 18, 22, 24, 40	36, 41, 50, 64, 67, 76, 79	30, 35, 41, 53, 56, 63	24, 27, 33
OUTPUTXBAR1	0	输出 X-BAR 输出 1	2, 24, 34	41, 61, 77	35, 50	27, 40
OUTPUTXBAR2	0	输出 X-BAR 输出 2	25, 3, 37	42, 46, 60	37, 49	29, 39
OUTPUTXBAR3	0	输出 X-BAR 输出 3	14, 26, 4, 5	43, 59, 74, 79	48, 61	38, 47
OUTPUTXBAR4	0	输出 X-BAR 输出 4	15, 27, 33, 6	38, 44, 78, 80	32, 64	25, 48
OUTPUTXBAR5	0	输出 X-BAR 输出 5	28, 42, 7	4, 57, 68	2, 57	2, 43
OUTPUTXBAR6	0	输出 X-BAR 输出 6	29, 43, 9	3, 54, 75	1, 62	1
OUTPUTXBAR7	0	输出 X-BAR 输出 7	11, 16, 30, 44	1, 37, 39, 69	31, 33	26
OUTPUTXBAR8	0	输出 X-BAR 输出 8	17, 31, 45	2, 40, 73	34	
PMBUSA_ALERT	I/OD	PMBus-A 开漏二进制报警	13, 19, 27, 37, 43	35, 44, 46, 51, 54	29, 37, 42	23, 29, 34
PMBUSA_CTL	I/O	PMBus-A 控制信号-从机输入/主机输出	12, 18, 26, 35, 42	36, 43, 48, 50, 57	30, 39, 41	24, 31, 33
SCIA_RX	I	SCI-A 接收数据	17, 25, 28, 3, 35, 9	4, 40, 42, 48, 60, 75	2, 34, 39, 49, 62	2, 31, 39
SCIA_TX	0	SCI-A 发送数据	16, 2, 24, 29, 37, 8	3, 39, 41, 46, 58, 61	1, 33, 35, 37, 47, 50	1, 26, 27, 29, 40
SPIA_CLK	I/O	SPI-A 时钟	12, 18, 3, 9	36, 50, 60, 75	30, 41, 49, 62	24, 33, 39
SPIA_SIMO	I/O	SPI-A 从机输入, 主机输出 (SIMO)	11, 16, 2, 8	37, 39, 58, 61	31, 33, 47, 50	26, 40
SPIA_SOMI	I/O	SPI-A 从机输出, 主机输入 (SOMI)	1, 10, 13, 17	35, 40, 62, 76	29, 34, 51, 63	23, 41
SPIA_STE	I/O	SPI-A 从机发送使能 (STE)	11, 19, 5	37, 51, 63, 74	31, 42, 52, 61	34, 42, 47
SPIB_CLK	I/O	SPI-B 时钟	14, 22, 26, 28, 32, 4	4, 43, 49, 59, 67, 79	2, 40, 48, 56	2, 32, 38
SPIB_SIMO	I/O	SPI-B 从机输入, 主机输出 (SIMO)	24, 30, 40, 7	1, 41, 64, 68	35, 53, 57	27, 43
SPIB_SOMI	I/O	SPI-B 从机输出, 主机输入 (SOMI)	16, 25, 31, 41, 6	2, 39, 42, 66, 80	33, 55, 64	26, 48
SPIB_STE	I/O	SPI-B 从机发送使能 (STE)	15, 23, 27, 29, 33	3, 38, 44, 65, 78	1, 32, 54	1, 25
SYNCOUT	0	外部 ePWM 同步脉冲	39, 6	56, 80	46, 64	48
TDI	I	JTAG 测试数据输入 (TDI) -TDI 是一个默认复用选择引脚。默认内部上拉是关闭的。若该引脚使用为 JTAG TDI 时, 内部上拉必须	35	48	39	31

		使能或在开发板上增加一个外部上拉，以避免浮点输入。				
TDO	0	JTAG 测试数据输出 (TDO) -TDO 是一个默认的复用选择引脚。默认下内部上拉是关闭的。当无 JTAG 活动时 TDO 功能将为三态，舍弃引脚浮点；内部上拉应使能或在开发板上添加一个外部上拉，以避免浮点 GPIO 输入	37	46	37	29
X1	I	晶振输入或单端时钟输入。DSP 初始化软件需在晶振使能前配置该引脚。为使用该晶振，必须在 X1 和 X2 间连接一个石英晶振。该引脚也能提供单端 3.3V 时钟。更多关于 ALT 的功能，请参见《HXS320F28002x 参考手册》系统控制章的外部晶振 (XTAL) 节。	19	51	42	34
X2	0	晶振输出。更多关于 ALT 的功能，请参见《HXS320F28002x 参考手册》系统控制章的外部晶振 (XTAL) 节。	18	50	41	33
XCLKOUT	0	外部时钟输出。该引脚输出低版本 DSP 的时钟选择信号。	16, 18	39, 50	33, 41	26, 33

### 4.3.3 电源与接地

表 4-4 电源与接地

信号名称	引脚类型	描述	GPIO	80QFP	64QFP	48QFP
VDD		1.2V 数字逻辑电源引脚。HX 推荐在每 VDD 引脚附近放置一个近似 10uF 的解耦电容。它也被 VDD 引脚推荐外部连接到其它引脚。		31, 53, 71, 8	27, 4, 44, 59	36, 45
VDDA		3.3V 模拟电源引脚。应在每个引脚上放置一个最小 2.2uF 的解耦电容。		26	22	18
VDDIO		3.3V 数字 I/O 电源引脚。在每个引脚上至少放置一个		32, 52, 7, 72	28, 43, 60	35, 46

		0.1uF 的解耦电容。它推荐在所有引脚上放置一个 20uF 的电容。然而，该电容值依赖于常规条件使用。				
VSS		数字地		30, 55, 70, 9	26, 45, 5, 58	22, 37, 44
VSSA		模拟地		25	21	17

### 4.3.4 测试, JTAG 与复位

表 4-5 测试, JTAG 与复位

信号名称	引脚类型	描述	GPIO	80QFP	64QFP	48QFP
FLT1	I/O	Flash 测试引脚 1。HX 保留。必须保持不连接		34		
FLT2	I/O	Flash 测试引脚 2。HX 保留。必须保持不连接		33		
TCK	I	JTAG 测试时钟带内部上拉		45	36	28
TMS	I/O	JTAG 测试模式选择 (TMS) 带内部上拉。在 TCK 的上升边沿, 该串行控制输入被输入到 TAP 控制器。该设备没有 TRSTn 引脚。应在 TMS 引脚到 VDDIO 放置一个外部上拉电阻 (推荐 2.2kΩ), 以在正常操作期间保持 JTAG 复位。		47	38	30
XRSn	I/OD	设备复位与看门狗复位。在上电期间, 该引脚被设备驱动低。外部电路也可以驱动该引脚对设备复位起作用。该引脚当看门狗复位发生时, 也被 DSP 驱动低。在看门狗复位期间, XRSn 引脚在 512 个 OSCCLK 周期期间对看门狗复位驱动低。在 XRSn 到 VDDIO 引脚间应放置一个 2.2kΩ-10kΩ 的电阻。若在 XRSn 到 VSS 引脚间放置一个噪声滤波电容, 该值应小于 100nF。该值在看门狗复位生效期间将允许看门狗在 512 个 OSCCLK 周期内正确地驱动 XRSn 引脚到 VOL。该引脚是一个带内部上拉的开漏输出。若该引脚被外部设备驱动, 它应使用开漏设备模式完成。		5	3	3

## 4.4 GPIO

### 4.4.1 GPIO 复用引脚

表 4-6 列举了 GPIO 复用引脚。每个 GPIO 引脚默认模式下是 GPIO 功能, 除了 GPIO35 与 GPIO37, 其默认分别为 TDI 与 TDO。第二个功能能通过 GPyMUXn.GPIOz 与 GPyMUXn.GPIOz 寄存器位选择。

GPyGMUXn 寄存器应在 GPyMUXn 前被配置，以避免来自交替复用选择的 GPIO 上的暂态脉冲。未显示的列和空白单元格为保留 GPIO 的复用配置。GPIO ALT 功能不能通过 GPyMUXn 与 GPyGMUXn 寄存器配置。这些特殊功能需要从模块配置。

注：GPIO20，GPIO21，GPIO36 与 GPIO38 在该设备上不存在。GPIO61 到 GPIO63 存在但没有任何封装。Boot ROM 使能上拉 GPIO61 到 GPIO63。更多信息，请参见 4.5 节。

#### 4.4.1.1 GPIO 复用引脚表

表 4-6 GPIO 复用引脚

GPIO值	0, 4, 8, 12	1	2	3	5	6	7
GPIO0	GPIO0	EPWM1_A				I2CA_SDA	SPIA_STE
GPIO1	GPIO1	EPWM1_B				I2CA_SCL	SPIA_SOMI
GPIO2	GPIO2	EPWM2_A		I2S_CLK	OUTPUT XBAR1	PMBUSA_SDA	SPIA_SIMO
GPIO3	GPIO3	EPWM2_B	OUTPUT XBAR2	I2S_FS	OUTPUT XBAR2	PMBUSA_SCL	SPIA_CLK
GPIO4	GPIO4	EPWM3_A			OUTPUT XBAR3	CANA_TX	SPIB_CLK
GPIO5	GPIO5	EPWM3_B		OUTPUT XBAR3		CANA_RX	SPIA_STE
GPIO6	GPIO6	EPWM4_A	OUTPUT XBAR4	SYNCOU	EQEP1_A		SPIB_SOMI
GPIO7	GPIO7	EPWM4_B		OUTPUT XBAR5	EQEP1_B		SPIB_SIMO
GPIO8	GPIO8	EPWM5_A		ADCSOCA0	EQEP1_STROBE	SCIA_TX	SPIA_SIMO
GPIO9	GPIO9	EPWM5_B		OUTPUT XBAR6	EQEP1_INDEX	SCIA_RX	SPIA_CLK
GPIO10	GPIO10	EPWM6_A		ADCSOCB0	EQEP1_A		SPIA_SOMI
GPIO11	GPIO11	EPWM6_B		OUTPUT XBAR7	EQEP1_B		SPIA_STE
GPIO12	GPIO12	EPWM7_A		I2S_TX	EQEP1_STROBE		PMBUSA_CTL
GPIO13	GPIO13	EPWM7_B		I2S_RX	EQEP1_INDEX		PMBUSA_ALERT
GPIO14	GPIO14				I2CB_SDA	OUTPUT XBAR3	PMBUSA_SDA
GPIO15	GPIO15				I2CB_SCL	OUTPUT XBAR4	PMBUSA_SCL
GPIO16	GPIO16	SPIA_SIMO		OUTPUT XBAR7	EPWM5_A	SCIA_TX	
GPIO17	GPIO17	SPIA_SOMI		OUTPUT XBAR8	EPWM5_B	SCIA_RX	
GPIO18	GPIO18_X2	SPIA_CLK		CANA_RX	EPWM6_A	I2CA_SCL	
GPIO19	GPIO19_X1	SPIA_STE		CANA_TX	EPWM6_B	I2CA_SDA	
GPIO22	GPIO22	EQEP1_STROBE				SPIB_CLK	
GPIO23	GPIO23	EQEP1_INDEX				SPIB_STE	

GPI024	GPI024	OUTPUT XBAR1	EQEP2_A	I2S_CLK		SPIB_SIMO	
GPI025	GPI025	OUTPUT XBAR2	EQEP2_B	I2S_FS	EQEP1_A	SPIB_SOMI	
GPI026	GPI026	OUTPUT XBAR3	EQEP2_INDEX	I2S_TX	OUTPUT XBAR3	SPIB_CLK	
GPI027	GPI027	OUTPUT XBAR4	EQEP2_STROBE	I2S_RX	OUTPUT XBAR4	SPIB_STE	
GPI028	GPI028	SCIA_RX		EPWM7_A	OUTPUT XBAR5	EQEP1_A	
GPI029	GPI029	SCIA_TX		EPWM7_B	OUTPUT XBAR6	EQEP1_B	
GPI030	GPI030	CANA_RX	I2S_CLK	SPIB_SIMO	OUTPUT XBAR7	EQEP1_STROBE	
GPI031	GPI031	CANA_TX	I2S_FS	SPIB_SOMI	OUTPUT XBAR8	EQEP1_INDEX	
GPI032	GPI032	I2CA_SDA	I2S_TX	SPIB_CLK		LINA_TX	
GPI033	GPI033	I2CA_SCL	I2S_RX	SPIB_STE	OUTPUT XBAR4	LINA_RX	
GPI034	GPI034	OUTPUT XBAR1				PMBUSA_SDA	
GPI035	GPI035	SCIA_RX		I2CA_SDA	CANA_RX	PMBUSA_SCL	LINA_RX
GPI037	GPI037	OUTPUT XBAR2		I2CA_SCL	SCIA_TX	CANA_TX	LINA_TX
GPI039	GPI039						SIRXA_CLK
GPI040	GPI040	SPIB_SIMO			EPWM2_B	PMBUSA_SDA	FSIRXA_DO
GPI041	GPI041				EPWM2_A	PMBUSA_SCL	FSIRXA_D1
GPI042	GPI042		LINA_RX	OUTPUT XBAR5	PMBUSA_CTL	I2CA_SDA	
GPI043	GPI043			OUTPUT XBAR6	PMBUSA_ALERT	I2CA_SCL	
GPI044	GPI044			OUTPUT XBAR7	EQEP1_A		FSITXA_CLK
GPI045	GPI045			OUTPUT XBAR8			FSITXA_DO
GPI046	GPI046			LINA_TX			FSITXA_D1
GPI061	GPI061						
GPI062	GPI062						
GPI063	GPI063						
AI0224							
AI0225							
AI0226							
AI0227							
AI0228							
AI0230							
AI0231							
AI0232							
AI0233							
AI0237							

AI0238							
AI0239							
AI0241							
AI0242							
AI0244							
AI0245							

(续表)

GPIO值	9	10	11	13	14	15	ALT
GPI00	FSIRXA_CLK		CLB_OUTPUT XBAR8			HIC_BASE SEL1	
GPI01			CLB_OUTPUT XBAR7	HIC_A2	FSITXA_TDM_D1	HIC_D10	
GPI02	SCIA_TX	FSIRXA_D1	I2CB_SDA	HIC_A1	CANA_TX	HIC_D9	
GPI03	SCIA_RX	FSIRXA_D0	I2CB_SCL	HIC_NOE	CANA_RX	HIC_D4	
GPI04	EQEP2_STROBE	FSIRXA_CLK	CLB_OUTPUT XBAR6	HIC_BASE SEL2		HIC_NWE	
GPI05	FSITXA_D1	CLB_OUTPUT XBAR5		HIC_A7	HIC_D4	HIC_D15	
GPI06	FSITXA_D0		FSITXA_D1	HIC_NBE1	CLB_OUTPUT XBAR8	HIC_D14	
GPI07	FSITXA_CLK	CLB_OUTPUT XBAR2		HIC_A6		HIC_D14	
GPI08	I2CA_SCL	FSITXA_D1	CLB_OUTPUT XBAR5	HIC_A0	FSITXA_TDM_CLK	HIC_D8	
GPI09		FSITXA_D0	LINB_RX	HIC_BASE SEL0	I2CB_SCL	HIC_NRDY	
GPI010	I2CA_SDA	FSITXA_CLK	LINB_TX	HIC_NWE	FSITXA_TDM_D0		
GPI011	FSIRXA_D1	LINB_RX	EQEP2_A	SPIA_SIMO	HIC_D6	HIC_NBE0	
GPI012	FSIRXA_D0	LINB_TX	SPIA_CLK	CANA_RX	HIC_D13	HIC_INT	
GPI013	FSIRXA_CLK	LINB_RX	SPIA_SOMI	CANA_TX	HIC_D11	HIC_D5	
GPI014	SPIB_CLK	EQEP2_A	LINB_TX	EPWM3_A	CLB_OUTPUT XBAR7	HIC_D15	
GPI015	SPIB_STE	EQEP2_B	LINB_RX	EPWM3_B	CLB_OUTPUT XBAR6	HIC_D12	
GPI016	EQEP1_STROBE	PMBUSA_SCL	XCLKOUT	EQEP2_B	SPIB_SOMI	HIC_D1	
GPI017	EQEP1_INDEX	PMBUSA_SDA	CANA_TX			HIC_D2	
GPI018	EQEP2_A	PMBUSA_CTL	XCLKOUT	LINB_TX	FSITXA_TDM_CLK	HIC_INT	X2

GPI019	EQEP2_B	PMBUSA_ALERT	CLB_OUTPUT XBAR1	LINB_RX	FSITXA_TDM_DO	HIC_NBE0	X1
GPI022	LINA_TX	CLB_OUTPUT XBAR1	LINB_TX	HIC_A5	EPWM4_A	HIC_D13	
GPI023	LINA_RX		LINB_RX	HIC_A3	EPWM4_B	HIC_D11	
GPI024	LINB_TX	PMBUSA_SCL	SCIA_TX	ERRORSTS		HIC_D3	
GPI025	FSITXA_D 1	PMBUSA_SDA	SCIA_RX		HIC_BASE SELO		
GPI026	FSITXA_D 0	PMBUSA_CTL	I2CA_SDA		HIC_D0	HIC_A1	
GPI027	FSITXA_CLK	PMBUSA_ALERT	I2CA_SCL		HIC_D1	HIC_A4	
GPI028	EQEP2_STROBE	LINA_TX	SPIB_CLK	ERRORSTS	I2CB_SDA	HIC_NOE	
GPI029	EQEP2_INDEX	LINA_RX	SPIB_STE	ERRORSTS	I2CB_SCL	HIC_NCS	
GPI030	FSIRXA_CLK		EPWM1_A		HIC_D8		
GPI031	FSIRXA_D 1		EPWM1_B		HIC_D10		
GPI032	FSIRXA_D 0	CANA_TX		ADCSOCB0		HIC_INT	
GPI033	FSIRXA_CLK	CANA_RX	EQEP2_B	ADCSOCA0		HIC_D0	
GPI034				HIC_NBE1	I2CB_SDA	HIC_D9	
GPI035	EQEP1_A	PMBUSA_CTL			HIC_NWE	TDI	
GPI037	EQEP1_B	PMBUSA_ALERT			HIC_NRDY	TDO	
GPI039	EQEP2_INDEX		CLB_OUTPUT XBAR2	SYNCOUT	EQEP1_INDEX	HIC_D7	
GPI040		EQEP1_A	LINB_TX		HIC_NBE1	HIC_D5	
GPI041		EQEP1_B	LINB_RX	HIC_A4	SPIB_SOMI	HIC_D12	
GPI042		EQEP1_STROBE	CLB_OUTPUT XBAR3		HIC_D2	HIC_A6	
GPI043		EQEP1_INDEX	CLB_OUTPUT XBAR4		HIC_D3	HIC_A7	
GPI044		CLB_OUTPUT XBAR3		HIC_D7		HIC_D5	

GPI045		CLB_ OUTPUT XBAR4				HIC_D6	
GPI046						HIC_NWE	
GPI061							
GPI062							
GPI063							
AI0224						HIC_A3	
AI0225						HIC_NWE	
AI0226						HIC_A1	
AI0227						HIC_NBE0	
AI0228						HIC_A0	
AI0230						HIC_BASES EL2	
AI0231						HIC_BASES EL1	
AI0232						HIC_BASES EL0	
AI0233						HIC_A4	
AI0237						HIC_A6	
AI0238						HIC_NCS	
AI0239						HIC_A5	
AI0241						HIC_NBE1	
AI0242						HIC_A2	
AI0244						HIC_A7	
AI0245						HIC_NOE	

注：模拟引脚在默认模拟模式下包含 AIO。AIO 模式使能通过相应模拟引脚的 GPIOH[AMSEL]位选择配置。另外，若 AIO 引脚使用 AIO 复用选择，需要外部上拉。

#### 4.4.2 ADC 引脚上的数字输入（AIO）

GPIO 端口 H（GPIO224-GPIO245）被复用为模拟引脚，也包括 AIOs。这些引脚仅能使用于输入模式。默认下，这些引脚将使用为模拟引脚功能，同时 GPIOs 为高阻状态。GPHAMSEL 寄存器被用来配置这些引脚的数字与模拟操作。

注：若带尖锐边沿（高 dv/dt）的数字信号被连接到 AIOs，串扰能通过邻近的模拟引脚发生。因此，如果相邻通道用于模拟功能，则用户应限制连接到 aio 的信号的边沿速率。

#### 4.4.3 GPIO 输入 X-BAR

输入 X-BAR 用于将信号从 GPIO 路由到许多不同的 IP 块，如 adc，ecap，epwm 和外部中断（见图 4-4）。表 4-7 列举了输入 X-BAR 目的。更多有关输入 X-BAR 的详细配置，请参见《HXS320F28002x 参考手册》的交叉开关（X-BAR）章节。

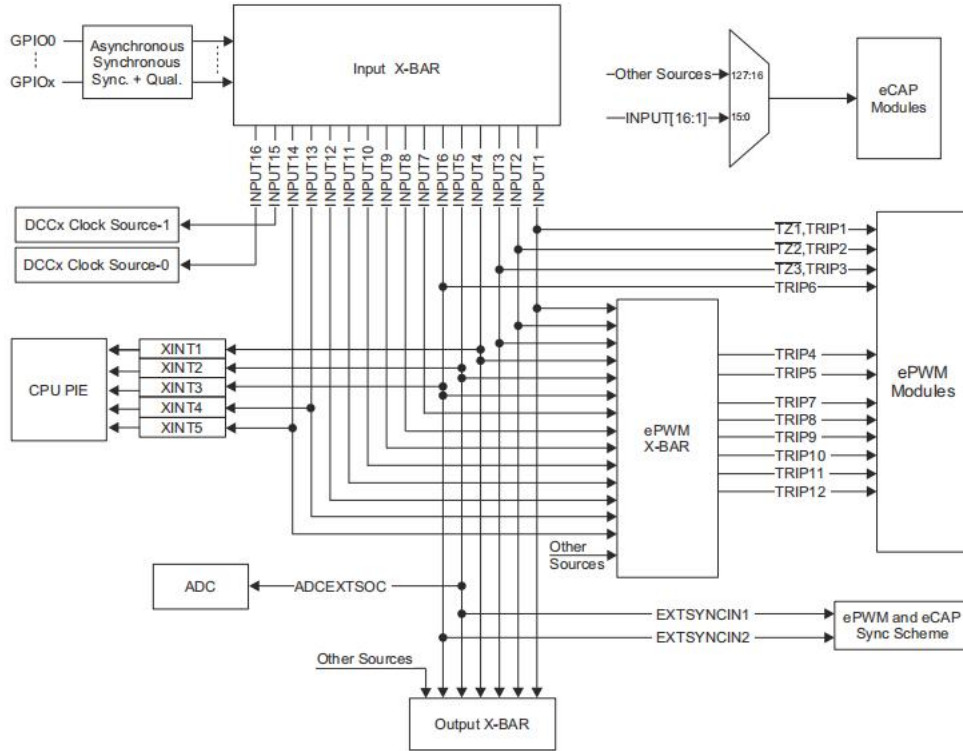


图 4-4. 输入 X-BAR

表 4-7. 输入 X-BAR 目的

输入	1	2	3	4	5	6	7	8
ECAP/HRCAP	是	是	是	是	是	是	是	是
EPWM X-BAR	是	是	是	是	是	是	是	是
CLB X-BAR	是	是	是	是	是	是	是	是
输出 X-BAR	是	是	是	是	是	是		
CPU XINT				XINT1	XINT2	XINT3		
EPWM TRIP	TZ1, TRIP1	TZ2, TRIP2	TZ3, TRIP3			TRIP6		
ADC 转换开始					ADCEXTSOC			
EPWM/ECAP SYNC					EXTSYNCIN1	EXTSYNCIN2		
DCCx								

(续表)

输入	9	10	11	12	13	14	15	16
ECAP/HRCAP	是	是	是	是	是	是	是	是
EPWM X-BAR	是	是	是	是	是	是		
CLB X-BAR	是	是	是	是	是	是		
输出 X-BAR								
CPU XINT					XINT4	XINT5		
EPWM TRIP								
ADC 转换开始								
EPWM/ECAP SYNC								
DCCx							CLK1	CLK0

### 4.4. 4GPIO

输出 X-BAR, CLB X-BAR, CLB 输出 X-BAR 与 ePWM X-BAR.

输出 X-BAR 有八个输出能通过 GPIO 复用选择为 OUTPUTXBARx。CLB X-BAR 有八个输出连接到 CLB 全局复用为 AUXSIGx。CLB 输出 X-BAR 有八个输出能通过 GPIO 复用选择为 CLB\_OUTPUTXBARx。ePWM X-BAR 有八个输出连接到 ePWM 的 TRIPx 输入。输出 X-BAR, CLB-XBAR, CLB 输出 X-BAR 与 ePWM X-BAR 的源被展示在图 4-5。更多关于输出 X-BAR, CLB X-BAR, CLB 输出 X-BAR 与 ePWM X-BAR 的详细信息, 请参见《HXS320F28002x 参考手册》的交叉开关 (X-BAR) 章节。

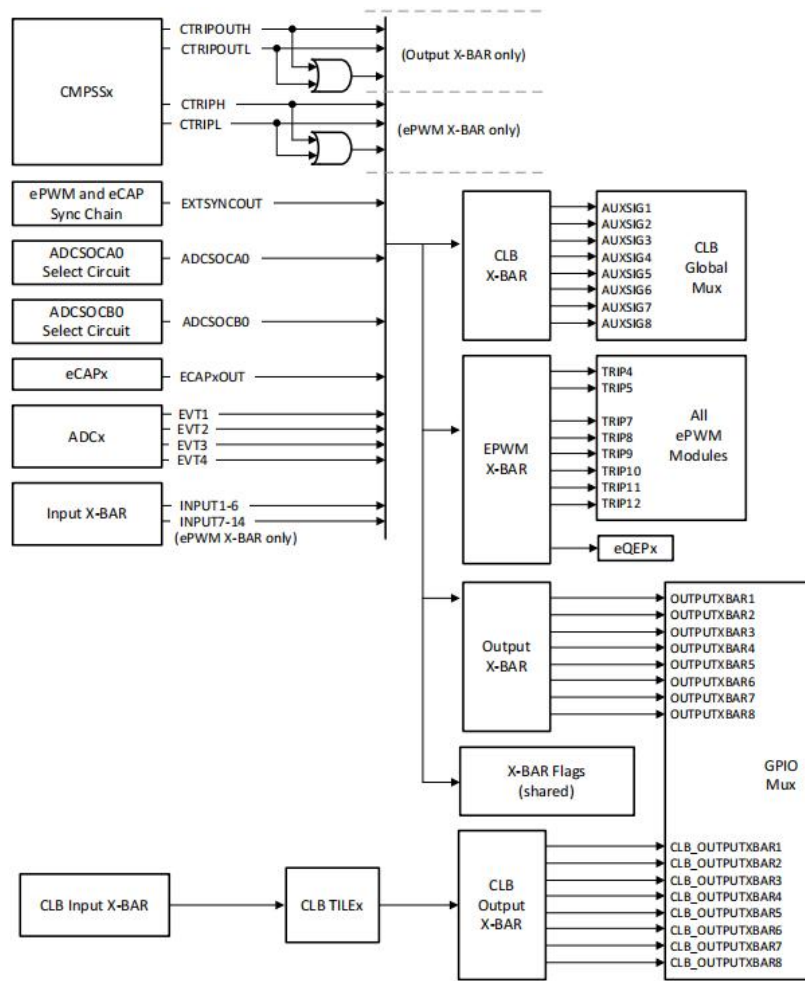


图 4-5. 输出 X-BAR, CLB-XBAR, CLB 输出 X-BAR 与 ePWM X-BAR 的源

### 4.5 GPIO 引脚内部上拉/下拉

F28002x 上的一些引脚有内部上拉或下拉功能。表 4-8 列举了使用时的上拉方向。默认下 GPIO 引脚上拉是关闭的, 能通过软件使能。为避免任意不确定的游离输入, Boot ROM 将使能特定封装的

GPIO 引脚内部上拉。表 4-8 的其他引脚的上拉与下拉是总打开的，并且不能被关闭。

表 4-8. 引脚的内部上拉与下拉

引脚	复位 (XRSn=0)	设备 BOOT	实现
GPIOx	上拉关闭	下拉关闭	定义实现
GPIO35/TDI	上拉关闭		定义实现
GPIO37/TDO	上拉关闭		定义实现
TCK	上拉活动		
TMS	上拉活动		
XRSn	上拉活动		
其他引脚 (包括 AIOs)	无上拉或下拉展现		

(1) 引脚被给定封装特定将通过 Boot ROM 使能内部上拉。

## 4.6 未使用引脚的连接

对于应用无需使用 F28002x 的所有功能，表 4-9 列举了未使用引脚的接受情况。表 4-9 中的引脚选择为复用时，其任意选择都是能接受的。表 4-9 未列举到的引脚，必须根据节 4 连接。

表 4-9. 未使用引脚的连接

信号名称	可接受的实现
<b>模拟</b>	
VREFHI	连接到 VDDA (仅当 ADC 未使用时实现)
VREFLO	连接到 VSSA
模拟输入引脚	<ul style="list-style-type: none"> <li>● 未连接</li> <li>● 连接到 VSSA</li> <li>● 通过电阻连接到 VSSA</li> </ul>
<b>数字</b>	
FLT1 (Flash 测试引脚 1)	<ul style="list-style-type: none"> <li>● 未连接</li> <li>● 通过不少于 4.7kΩ 的电阻连接到 VSS</li> </ul>
FLT2 (Flash 测试引脚 2)	<ul style="list-style-type: none"> <li>● 未连接</li> <li>● 通过不少于 4.7kΩ 的电阻连接到 VSS</li> </ul>
GPIOx	<ul style="list-style-type: none"> <li>● 未连接 (输入模式带有内部上拉使能)</li> <li>● 未连接 (输出模式带有内部上拉关闭)</li> <li>● 上拉或下拉电阻 (任意阻值, 输入模式下带有内部上拉关闭)</li> </ul>
GPIO35/TDI	当 TDI 复用选择被选择时 (默认), GPIO 为输入模式 <ul style="list-style-type: none"> <li>● 内部上拉使能</li> <li>● 外部上拉电阻</li> </ul>
GPIO37/TDO	当 TDO 复用选择被选择时 (默认), GPIO 仅在 JTAG 活动期间为输出模式; 否则, 表现为三态模式。引脚必须偏压以避免输入缓冲器上的额外电流。 <ul style="list-style-type: none"> <li>● 内部上拉使能</li> <li>● 外部上拉电阻</li> </ul>
TCK	<ul style="list-style-type: none"> <li>● 未连接</li> <li>● 上拉电阻</li> </ul>
TMS	上拉电阻
GPIO19/X1	关闭晶振 XTAL 与: <ul style="list-style-type: none"> <li>● 输入模式带有内部上拉使能</li> </ul>

	<ul style="list-style-type: none"> <li>● 输入模式带有外部上拉或下拉电阻</li> <li>● 输出模式带有内部上拉关闭</li> </ul>
GPI018/X2	关闭晶振 XTAL 与： <ul style="list-style-type: none"> <li>● 输入模式带有内部上拉使能</li> <li>● 输入模式带有外部上拉或下拉电阻</li> <li>● 输出模式带有内部上拉关闭</li> </ul>
电源与接地	
VDD	所有 VDD 引脚必须按 6.3 节连接，引脚不应被使用为外部电路的偏置
VDDA	若模拟信号不被使用，连接到 VDDIO。
VDDIO	所有 VDDIO 引脚必须按 6.3 节连接。
VSS	所有 VSS 引脚必须连接到开发板地线。
VSSA	若模拟地未使用，连接到 VSS。

中科昊芯

## 5 说明

超出绝对最大额定值所列的压力可能会对设备造成永久性损坏。这些只是应力等级，超出推荐操作条件的设备功能操作是不包含的。长时间暴露在绝对最大额定条件下可能会影响设备的可靠性。除非另有说明，所有电压值都是相对于 VSS 的。

### 5.1 绝对最大值范围

超出操作无气流温度范围（除非另有说明）

		最小值	最大值	单位
供电电压	VDDIO 代表 VSS	-0.3	4.6	V
	VDDA 代表 VSSA	-0.3	4.6	
输入电压	$V_{IN}$ (3.3V)	-0.3	4.6	V
输出电压	$V_O$	-0.3	4.6	V
输入钳位电流	数字/模拟输入, $I_{IK}$ ( $V_{IN} < VSS/VSSA$ 或 $V_{IN} > VDDIO/VDDA$ )	-20	20	mA
	所有输入总共, $I_{IKTOTAL}$ ( $V_{IN} < VSS/VSSA$ 或 $V_{IN} > VDDIO/VDDA$ )	-20	20	
输出电流	数字输出, $I_{OUT}$	-20	20	mA
无气流温度	$T_A$	-40	125	°C
工作结点温度	$T_J$	-40	150	°C
储存温度	$T_{stg}$	-65	150	°C

- 长期高温储存或在最高温度条件下长时间使用可能会导致整体设备寿命性能下降。
- 连续钳位电流每针  $\pm 2\text{mA}$ 。不要在这种情况下持续工作，因为 VDDIO/VDDA 电压可能会内部上升，影响其他电气规格。

### 5.2 产品的 ESD 范围

		值	单位	
F280025 80 引脚 PN 封装				
$V_{(ESD)}$	静电放电 (ESD)	人体模型 (HBM), 每 ANSI/ESDA/JEDEC JS-001	$\pm 2000$	V
		充电设备模型 (CDM), 每 JEDEC 指定 JESD22-C101 或 ANSI/ESDA/JEDEC JS-002	$\pm 500$	
F280025 64 引脚 PM 封装				
$V_{(ESD)}$	静电放电 (ESD)	人体模型 (HBM), 每 ANSI/ESDA/JEDEC JS-001	$\pm 2000$	V
		充电设备模型 (CDM), 每 JEDEC 指定 JESD22-C101 或 ANSI/ESDA/JEDEC JS-002	$\pm 500$	
F280025 48 引脚 PM 封装				
$V_{(ESD)}$	静电放电 (ESD)	人体模型 (HBM), 每 ANSI/ESDA/JEDEC JS-001	$\pm 2000$	V
		充电设备模型 (CDM), 每 JEDEC 指定 JESD22-C101 或 ANSI/ESDA/JEDEC JS-002	$\pm 500$	

- JEDEC 目录 JEP155 状态表明 500V HBM 允许带有标准 ESD 控制过程的安全制造。
- JEDEC 目录 JEP157 状态表明 250V CDM 允许带有标准 ESD 控制过程的安全制造。

### 5.3 推荐工作条件

		最小值	额定值	最大值	单位
设备供电电压, VDDIO 与 VDDA	内部 BOR 使能	$V_{BOR-VDDIO (MAX)} + V_{BOR-GB}$	3.3	3.63	V
	内部 BOR 关闭	2.8	3.3	3.63	
设备接地, VSS			0		V
模拟地, VSSA			0		V
$SR_{SUPPLY}$	VDDIO, VDDA 到 VSS 的供电斜率速率	20		100	mV/us
$t_{VDDIO-RAMP}$	从 1V 到 $V_{BOR-VDDIO (MAX)}$ 的 VDDIO 供电斜坡时间			10	ms
$V_{IN}$	数字输入电压	VSS-0.3		VDDIO+0.3	V
	模拟输入电压	VSSA-0.3		VDDA+0.3	V
$V_{BOR-GB}$	VDDIO BOR 保护带		0.1		V
节点温度, $T_J$		-40		125	°C

- (1)  $T_J = 105^\circ\text{C}$  以上操作持续扩展将减少设备寿命。
- (2) 电气特性表中的 VDDIO BOR 电压 ( $V_{BOR-VDDIO [MAX]}$ ) 决定了设备操作的电压下限。HX 建议系统设计人员预算额外的保护带 ( $V_{BOR-GB}$ ), 如图 5-1 供电电压图所示。
- (3) 内部 BOR 默认使能。
- (4) 电源斜坡速率快于该值, 能触发片上 ESD 保护。
- (5) HX 建议采用  $V_{BOR-GB}$ , 以避免 3.3V VDDIO 系统因正常电源噪声或负载瞬态事件而导致 BOR 复位。良好的系统调节器设计和解耦电容(遵循系统调节器规格)是重要的。 $V_{BOR-GB}$  的值是系统级设计考虑因素; 这里列出的是许多应用程序的典型示例。

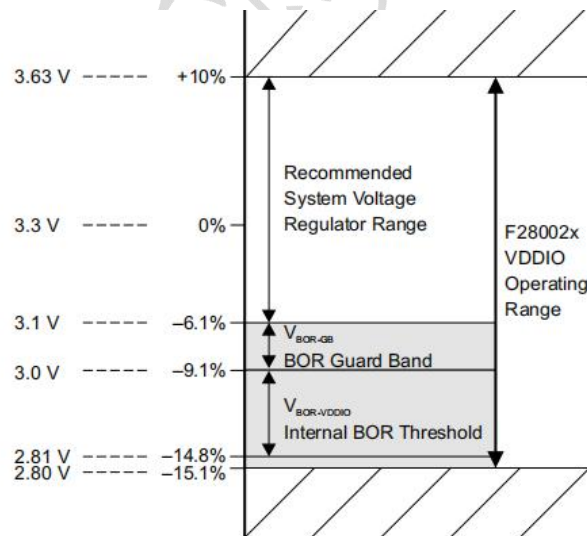


图 5-1 供电电压

### 5.4 耗电概述

本节中列出的电流值仅代表给定的测试条件, 而不是绝对的最大的可能。应用程序中的实际设备电流将随应用程序代码和引脚而变化配置。第 5.4.1 节列出了系统电流消耗值。

## 5.4.1 系统耗电电流

超出操作无气流温度范围（除非另有说明）。

典型值：Vnom, 30°C

参数	测试条件	测试条件	最小值	典型值	最大值	单位
<b>操作模式</b>						
$I_{DDIO}$	在操作使用时的 VDDIO 电流消耗	这是一个典型重载应用下的电流估计值。实际电流会视系统活动，I/O 电气负载和开关频率而定		35	72	mA
$I_{DDA}$	在操作使用时的 VDDA 电流消耗			3	5	mA
<b>IDLE 模式</b>						
$I_{DDIO}$	设备处于 IDLE 模式下的 VDDIO 电流消耗	-CPU 在 IDLE 模式 -Flash 掉电		16	33	mA
$I_{DDA}$	设备处于 IDLE 模式下的 VDDA 电流消耗	-XCLKOUT 关闭 -IO 引脚上拉使能		0.01	0.1	mA
<b>备用模式</b>						
$I_{DDIO}$	设备处于备用模式下的 VDDIO 电流消耗	-CPU 在备用模式 -Flash 掉电		8	22	mA
$I_{DDA}$	设备处于 IDLE 模式下的 VDDA 电流消耗	-XCLKOUT 关闭 -IO 引脚上拉使能		0.01	0.1	mA
<b>待机模式</b>						
$I_{DDIO}$	设备处于待机模式下的 VDDIO 电流消耗	-CPU 在待机模式 -Flash 掉电		1	16	mA
$I_{DDA}$	设备处于待机模式下的 VDDA 电流消耗	-XCLKOUT 关闭 -IO 引脚上拉使能		0.01	0.1	mA
<b>FLASH 擦除/编程</b>						
$I_{DDIO}$	在擦除与编程期间的 VDDIO 电流消耗	-CPU 运行在 RAM -SYSCLK 为 160MHz		1	16	mA
$I_{DDA}$	在擦除与编程期间的 VDDA 电流消耗	-IO 输入带上拉使能 -外设时钟关闭		0.01	0.1	mA
<b>复位模式 i</b>						
$I_{DDIO}$	复位模式的 VDDIO 电流消耗			8.6		mA
$I_{DDA}$	复位模式的 VDDA 电流消耗			0.1		mA

- (1) flash 编程期间的停电事件会损坏 flash 数据并永久锁定设备。编程环境使用备用电源(如 USB 编程器)必须能够为设备和其他系统提供额定电流有足够余量的组件，以避免供电不足的情况。
- (2) 这是复位活动时的电流消耗，即 XRSn 低。

## 5.4.2 工作模式测试描述

第 5.4.1 节和第 5.4.4.1 节列出了设备运行模式的当前消耗值。该操作模式提供了应用程序可能遇到的情况的预测。这些测试条件测量具有以下特性：

- 代码从 RAM 中执行。

- 读取 FLASH 并保持激活状态。
- 没有外部组件由 I/O 引脚驱动。
- 所有外设都开启了时钟。
- 所有 CPU 都在调用执行代码。
- 所有模拟外设均已上电。ADC 和 DAC 之间周期性进行转换。

### 5.4.3 电流消耗图

图 5-2、图 5-3、图 5-4、图 5-5 和图 5-6 显示了频率、设备上的温度、内核电源和电流消耗。实际结果因系统实施和条件而异。

典型工作电流随温度和内核电源电压的变化规律如图 5-3 所示。如图 5-4 所示为横跨温度和内核电源电压的典型等待模式电流分布。如图 5-5 所示为跨温度和内核电源电压的剖面的典型备用模式电流。图 5-6 所示为跨温度和内核电源电压的典型电流分布图。

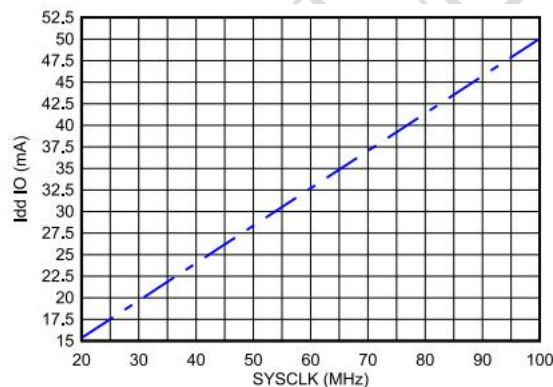


图 5-2. 工作电流-频率

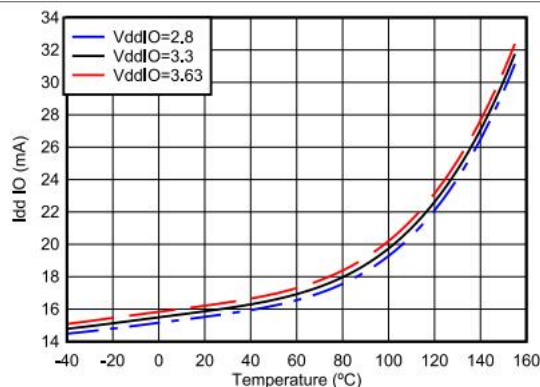


图 5-4. 电流-温度-IDLE 模式

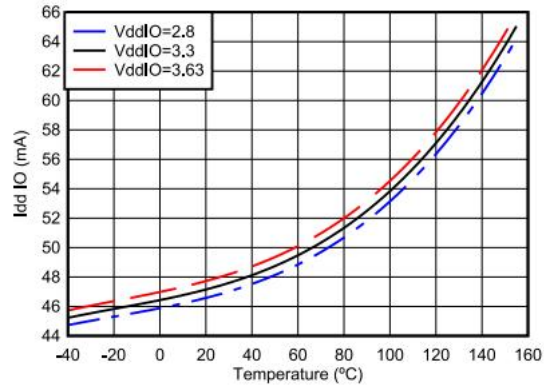


图 5-3. 工作电流-频率

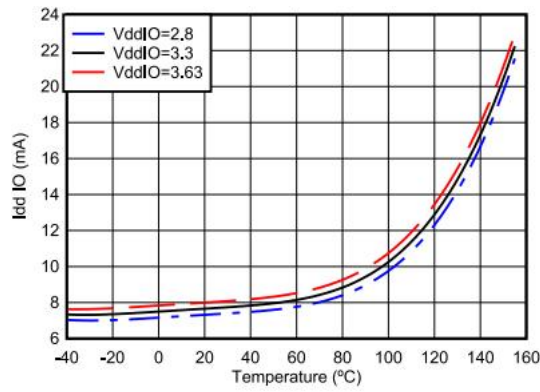


图 5-5. 电流-温度-STANDBY 模式

## 5.4.4 减少电流消耗

F28002x 设备提供了一些降低设备电流消耗的方法:在空闲期间,可以进入两种低功耗模式之一

- idle 或 standby 应用程序。

- 如果代码从 RAM 中运行,闪存模块可能会断电。

- 禁用输出功能引脚的上拉。

- 每个外设都有一个单独的时钟使能位(PCLKCRx)。减少电流消耗可能通过关闭给定应用程序中不使用的任何外设的时钟来实现。第 5.4.4.1 节列出了典型的电流减少,可以通过使用 PCLKCRx 寄存器禁用时钟来实现。

- 要在 LPM 中实现最低的 VDDA 电流消耗,请参阅《HXS320F28002x 参考手册》模数转换器(ADC)章节,以确保每一个模块也被关闭。

### 5.4.4.1 每个外设关闭的典型电流减少

外设	$I_{DDIO}$ 电流减少 (mA)
ADC	0.67
BGCRC	0.26
CAN	1.18
CLB	1.18
CMPSS	0.34
CPU TIMER	0.02
CPUCRC	0.01
DCC	0.18
DMA	0.56
eCAP1 与 eCAP2	0.22
eCAP3	0.28
ePWM	0.78
eQEP	0.11
FSI	0.74
HIC	0.21
HRPWM	0.87
I2C	0.24
LIN	0.32
PBIST	0.19
PMBUS	0.26
SCI	0.16
SPI	0.08

(1) 该电流表示由每个模块的数字部分绘制的电流。

(2) eCAP3 也可以配置为 HRCAP。

## 5.5 电气特性

超出推荐操作条件（除非另有说明）。

参数		测试条件	最小值	典型值	最大值	单位
<b>数字与模拟 IO</b>						
V <sub>OH</sub>	高级输出电压	I <sub>OH</sub> =I <sub>OH</sub> 最小	VDDIO* 0.8			V
		I <sub>OH</sub> =-100uA	VDDIO- 0.2			
V <sub>OL</sub>	低级输出电压	I <sub>OL</sub> =I <sub>OL</sub> 最大			0.4	V
		I <sub>OL</sub> =100uA			0.2	
I <sub>OH</sub>	所有输出引脚的高级输出源电流		-4			mA
I <sub>OL</sub>	所有输出引脚的低级输出源电流				4	mA
R <sub>OH</sub>	所有输出引脚的高级输出阻抗		45	65	100	Ω
R <sub>OL</sub>	所有输出引脚的低级输出阻抗		45	60	90	Ω
V <sub>IH</sub>	高级输入电压		2.0			V
V <sub>IL</sub>	低级输入电压				0.8	V
V <sub>HYSTERESIS</sub>	输入滞后		125			mV
I <sub>PULLDOWN</sub>	输入电流	引脚下拉	VDDIO=3.3V V <sub>IN</sub> =VDDIO	120		uA
I <sub>PULLUP</sub>	输入电流	数字引脚下拉使能	VDDIO=3.3V V <sub>IN</sub> =0V	160		uA
I <sub>LEAK</sub>	引脚泄露	数字输入	上拉且输出关闭 0V ≤ V <sub>IN</sub> ≤ VDDIO		0.1	uA
		模拟引脚 (除 ADCINA3/VDAC)	模拟驱动关闭 0V ≤ V <sub>IN</sub> ≤ VDDA		0.1	
		ADCINA3/VDAC		2	11	
C <sub>I</sub>	输入电容	数字输入		2		pF
		模拟引脚				
<b>VREG 与 BOR</b>						
V <sub>POR-VDDIO</sub>	VDDIO 电源 复位电压	VDDIO 电源复位电 压		2.3		V
V <sub>BOR-VDDIO</sub>	VDDIO 掉电复位电压		2.81		3.0	V
V <sub>VREG</sub>	内部电压常规输出		1.14	1.2	1.32	V

- (1) 参见“引脚内部上拉与下拉表”进行引脚的上拉与下拉；
- (2) 模拟引脚是指定分离的；参见每通道寄生电容表；
- (3) 参见推荐工作条件章节的供电电压图。

## 5.6 PN 封装的温度电阻特性

		°C/W	空气气流 (1fm)
R <sub>θJC</sub>	结壳热阻	14.2	N/A

$R_{\Theta_{JB}}$	结板热阻	21.9	N/A
$R_{\Theta_{JA}}$ (高 kPCB)	结自由空气热阻	49.9	0
$\Psi_{iJT}$	连接到封装顶部	0.8	0
		1.18	150
		1.34	250
		1.62	500
$\Psi_{iJB}$	连接到开发板	21.6	0
		20.7	150
		20.5	250
		20.1	500

(1) 这些值基于 JEDEC 定义的 2S2P 系统( $\Theta_{JC}$  [ $R_{\Theta_{JC}}$ ]值除外, 该值基于 JEDEC 定义的 1SOP 系统), 并将根据环境和应用而变化。要了解更多信息, 请参见这些 EIA/JEDEC 电平标准:

- JESD51-2 集成电路热测试方法环境条件-自然对流(静止空气)
- JESD51-3, 含铅表面贴装封装的有效导热测试板
- JESD51-7, 含铅表面贴装封装的高效导热测试板
- JESD51-9, 区域阵列表面贴装包热测量测试板

(2)  $1f_m$ =线性英尺每分钟

## 5.7 PM 封装的热阻特性

		°C/W	空气气流(1fm)
$R_{\Theta_{JC}}$	结壳热阻	12.4	N/A
$R_{\Theta_{JB}}$	结板热阻	25.6	N/A
$R_{\Theta_{JA}}$ (高 kPCB)	结自由空气热阻	51.8	0
$R_{\Theta_{JMA}}$	连接到移动空气的热阻	42.2	150
		39.4	250
		36.5	500
$\Psi_{iJT}$	连接到封装顶部	0.5	0
		0.9	150
		1.1	250
		1.4	500
$\Psi_{iJB}$	连接到开发板	25.1	0
		23.8	150
		23.4	250
		22.7	500

(1) 这些值基于 JEDEC 定义的 2S2P 系统( $\Theta_{JC}$  [ $R_{\Theta_{JC}}$ ]值除外, 该值基于 JEDEC 定义的 1SOP 系统), 并将根据环境和应用而变化。要了解更多信息, 请参见这些 EIA/JEDEC 电平标准:

- JESD51-2 集成电路热测试方法环境条件-自然对流(静止空气)
- JESD51-3, 含铅表面贴装封装的有效导热测试板
- JESD51-7, 含铅表面贴装封装的高效导热测试板
- JESD51-9, 区域阵列表面贴装包热测量测试板

(2)  $1f_m$ =线性英尺每分钟

## 5.8 PT 封装的热阻特性

		°C/W	空气气流 (lfm)
$R_{\Theta_{JC}}$	结壳热阻	13.6	N/A
$R_{\Theta_{JB}}$	结板热阻	30.6	N/A
$R_{\Theta_{JA}}$ (高 kPCB)	结自由空气热阻	64	0
		50.4	150
		48.2	250
		45	500
$R_{\Theta_{JMA}}$	连接到移动空气的热阻	42.2	150
		39.4	250
		36.5	500
$\Psi_{JT}$	连接到封装顶部	0.56	0
		0.94	150
		1.1	250
		1.38	500
$\Psi_{JB}$	连接到开发板	30.1	0
		28.7	150
		28.4	250
		28	500

(1) 这些值基于 JEDEC 定义的 2S2P 系统 ( $\Theta_{JC}$  [ $R_{\Theta_{JC}}$ ] 值除外, 该值基于 JEDEC 定义的 1S0P 系统), 并将根据环境和应用而变化。要了解更多信息, 请参见这些 EIA/JEDEC 电平标准:

- JESD51-2 集成电路热测试方法环境条件-自然对流(静止空气)
- JESD51-3, 含铅表面贴装封装的有效导热测试板
- JESD51-7, 含铅表面贴装封装的高效导热测试板
- JESD51-9, 区域阵列表面贴装包热测量测试板

(2) lfm=线性英尺每分钟

## 5.9 温度设计考虑

根据最终应用程序的设计和配置,  $I_{DD}$  和  $I_{DDIO}$  电流可能会有所不同。在最终产品中系统超过推荐的最大功耗可能需要额外的散热增强。环境温度 ( $T_A$ ) 随最终应用和产品设计而变化。该影响可靠性和功能性的关键因素是  $T_J$ , 结温, 而不是环境温度。因此, 应关注采取什么措施来保持  $T_J$  在规定的限度内。Tcase 应测量箱体以估计结温运行情况  $T_J$ 。通常在封装顶部表面的中心测量 Tcase。

## 5.10 模拟外设

模拟子系统模块描述见本章。

设备的模拟模块包括 ADC, 温度传感器与 CMPSS。

模拟子系统具有如下特点：

- 灵活的电压参考
  - ADC 参考 VREFHI 到 VSSA 引脚
  - VREFHI 引脚电压能被外部驱动或通过内部带隙电压参考产生
  - 内部电压参考可选择为 0-3.3V 或 0-2.5V
  - 比较器 DAC 参考 VDDA 到 VSSA
  - 另一方面，这些 DAC 能参考 VDAC 引脚与 VSSA
- 灵活的引脚使用
  - 比较器子系统输入与数字输入可多路复用到 ADC 输入
  - 在所有 ADC 上内部连接到 VREFLO，用于偏移自校准

图 5-29 展示了 80pin PN 与 64pin PM LQFP 封装的模拟子系统模块框图。

图 5-30 展示了 48pin PT LQFP 封装的模拟子系统框图。

表 5-7 列举了模拟引脚与内部连接。表 5-8 列举了模拟信号的描述。图 5-31 展示了模拟部分连接。

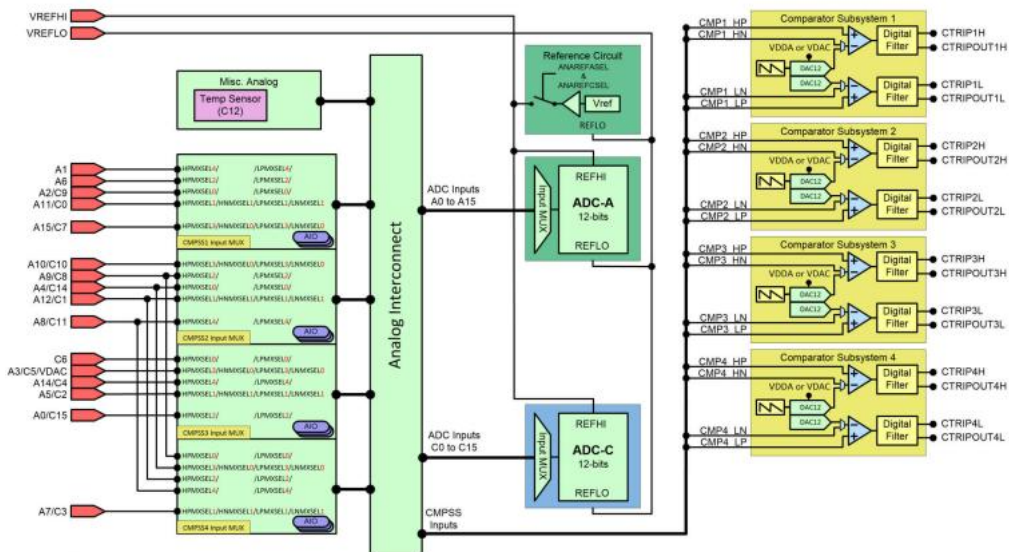


图 5-29 模拟子系统框图（80pin PN 与 64pin PM LQFP 封装）

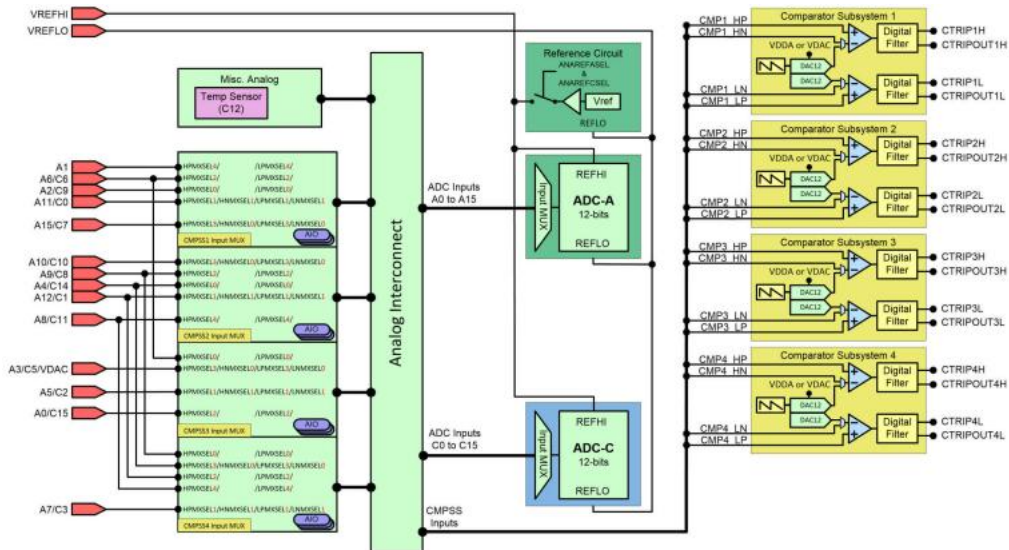


图 5-30 模拟子系统框图 (48pin PT LQFP 封装)

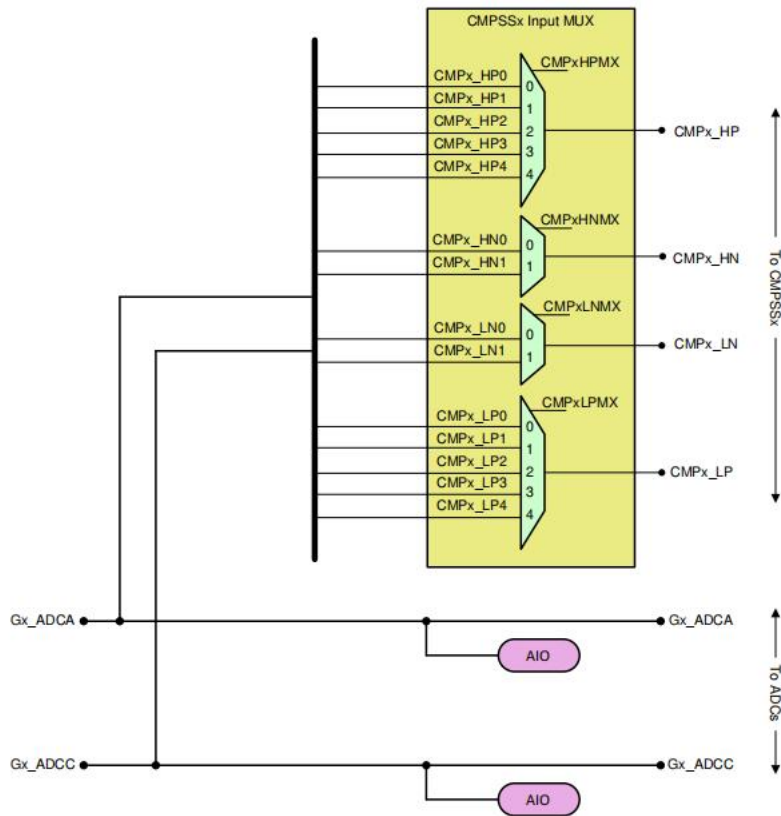


图 5-31 模拟部分连接

表 5-7. 模拟引脚与内部连接

引脚名称	引脚封装			ADC		比较器子系统 (MUX)				AIO 输入
	80QFP	64QFP	48QFN	A	C	高正	高低	低正	低负	
VREFHI	20	16	12							
VREFLO	21	17	13	A13	C13					
<b>模拟部分 1</b>										
A6	10	6	4	A6	-	CMP1 (HPM)		CMP1 (LPMX)		AIO228

						XSEL=2)		SEL=2)		
A2/C9	13	9	6	A2	C9	CMP1 (HPM XSEL=0)		CMP1 (LPMX SEL=0)		AI0224
A15/C7	14	10	7	A15	C7	CMP1 (HPM XSEL=3)	CMP1 (HNM XSEL=0)	CMP1 (LPMX SEL=3)	CMP1 (LNMX SEL=0)	AI0233
A11/C0	16	12	8	A11	C0	CMP1 (HPM XSEL=1)	CMP1 (LPM XSEL=1)	CMP1 (LPMX SEL=1)	CMP1 (LNMX SEL=1)	AI0237
A1	18	14	10	A1	-	CMP1 (HPM XSEL=4)		CMP1 (LPMX SEL=4)		AI0232
<b>模拟部分 2</b>						<b>CMP2</b>				
A10/C10	29	25	21	A10	C10	CMP2 (HPM XSEL=3)	CMP2 (HNM XSEL=0)	CMP2 (LPMX SEL=3)	CMP2 (LNMX SEL=0)	AI0230
<b>模拟部分 3</b>						<b>CMP3</b>				
C6	11	7	4	-	C6	CMP3 (HPM XSEL=0)		CMP3 (LPMX SEL=0)		AI0226
A3/C5/VDAC	12	8	5	A3	C5	CMP3 (HPM XSEL=3)	CMP3 (HNM XSEL=0)	CMP3 (LPMX SEL=3)	CMP3 (LNMX SEL=0)	AI0242
<b>模拟部分 4</b>						<b>CMP4</b>				
A7/C3	23	19	15	A7	C3	CMP4 (HPM XSEL=1)	CMP4 (HNM XSEL=1)	CMP4 (LPM XSEL=1)	CMP4 (LNM XSEL=1)	AI0245
<b>混合模拟部分 2/4</b>						<b>CMP2/4</b>				
A12/C1	22	18	14	A12	C1	CMP2 (HPM XSEL=1) CMP4 (HPM XSEL=2)	CMP2 (HNM XSEL=1)	CMP2 (LPM XSEL=1) CMP4 (LPM XSEL=2)	CMP2 (LNM XSEL=1)	AI0238
A8/C11	24	20	16	A8	C11	CMP2 (HPM XSEL=4) CMP4 (HPM XSEL=4)		CMP2 (LPM XSEL=4) CMP4 (LPM XSEL=4)		AI0241
A4/C14	27	23	19	A4	C14	CMP2 (HPM XSEL=0) CMP4 (HPM XSEL=3)	CMP4 (HNM XSEL=0)	CMP2 (LPM XSEL=0) CMP4 (LPM XSEL=3)	CMP4 (LNM XSEL=0)	AI0225
A9/C8	28	24	20	A9	C8	CMP2 (HPM XSEL=0) CMP4 (HPM XSEL=3)	CMP4 (HNM XSEL=0)	CMP2 (LPM XSEL=0) CMP4 (LPM XSEL=3)	CMP4 (LNM XSEL=0)	AI0227
<b>其他模拟</b>										
温度传感器	-	-	-	-	C12					

- (1) 芯片 COMPDACs 的可选外部参考电压。该引脚需要一个内部电容到 VSSA 确定是否使用 ADC 输入到 COMPDAC 参考。若使用为 VDAC 参考，则至少需要放置 1uF 电容。
- (2) 仅内部连接；不到达设备引脚。
- (3) A6 与 C6 作为双键引脚信号#4

表 5-8. 模拟信号描述

信号名称	描述
------	----

AIOx	AIO 引脚的数字输入
Ax	ADC A 输入
Cx	ADC C 输入
CMPx_HNy	比较器子系统高比较器负输入
CMPx_HPy	比较器子系统高比较器正输入
CMPx_LNy	比较器子系统低比较器负输入
CMPx_LPy	比较器子系统低比较器正输入
TempSensor	内部温度传感器
VDAC	芯片 COMPDACs 的可选外部参考电压。该引脚需要一个内部电容到 VSSA 确定是否使用 ADC 输入到 COMPDAC 参考。若使用为 VDAC 参考，则至少需要放置 1uF 电容。

## 5.10.1 模数转换器 (ADC)

这里描述的 ADC 模块是一个连续逼近(SAR)原理的 ADC，分辨率为 12 位。这部分将转换器的模拟电路称为“核心”，包括通道选择 MUX、采样保持(S/H)电路、逐次逼近电路、电压参考电路，其他模拟支持电路。转换器的数字电路被称为“封装器”，包括可编程转换逻辑，结果寄存器，模拟电路接口，外设总线接口，后处理电路，以及与其他片上模块的接口

每个 ADC 模块由一个采样-保持(S/H)电路组成。ADC 模块被设计成多个独立的相同模块 SOCx，允许同时采样或多次独立操作 ADC。ADC 封装器是基于开始转换(SOC)的(请参阅 HXS320F28002x 参考手册中的模数转换器(ADC)章节《SOC 原理的操作》一节)。

每个 ADC 有如下特点：

- 12 位分辨率
- 外部参考比例通过 VREFHI/VREFLO 配置；
- 内部参考选择为 2.5V 或 3.3V；
- 单端信号；
- 最大支持 16 通道输入复用；
- 16 个可配置的 SOC；
- 16 个独立地址的结果寄存器；
- 多个触发源：

-S/W：软件立即开始

-所有 ePWM：ADCSOC A 或 B

-GPIO XINT2

-CPU Timers 0/1/2

-ADCINT1/2

- 四个灵活的 PIE 中断
- 突发模式触发操作
- 四个后处理模块，其中包括：
  - 饱和和偏置校准
  - 从配置点计算的偏差
  - 高，低，零穿越比较，中断与 ePWM 事件能力
  - 触发采样延迟捕获

注：所有 ADC 通过引脚输出对应每个 ADC 通道，具体请参考节 6 确定。

### 5.10.1.1 ADC 配置

ADC 配置包括 SOC 独立控制，通过每个 ADC 模块的全局控制。表 5-9 概述了基本的 ADC 选项和其他配置级别。

表 5-9. ADC 选项与配置级别

选择	可配置性
时钟	每个模块
分辨率	不可配置（仅 12 位分辨率）
信号模式	不可配置（仅支持单端信号模式）
参考电压源	所有 ADC 模块均可
触发源	每个 SOC
转换通道	每个 SOC
采样窗口持续	每个 SOC
本地 EOC	每个模块
突发模式	每个模块

- (1) 这些值写入不同的 ADC 模块可能会导致 ADC 运行异步。有关 adc 何时同步或异步操作的指导，请参阅《HXS320F28002x 参考手册》模数转换器(ADC)章节的确保同步操作部分。

#### 5.10.1.1.1 信号模式

ADC 支持单端信号。输入电压通过 ADCINx 单端引脚采样转换得到，参考 VREFLO。图 5-33 展示了单端信号模式。（待续）

#### 5.10.1.2 ADC 电气数据与时序

节 5.12.1.2.1 列举了 ADC 工作条件。节 5.12.1.2.2 列举了 ADC 电气特性。

注:

- (1) ADC 输入应在工作期间保持低于  $VDDA+0.3V$ 。若 ADC 输入超过该值, 设备的内部参考  $V_{REF}$  将被破坏, 将影响使用相同  $V_{REF}$  的其他 ADC 输入的结果。
- (2) VREFHI 引脚必须保持低于  $VDDA+0.3V$ , 以确保合理的功能操作。若 VREFHI 超过该值, 一个模块电路将可以激活, VREFHI 的内部值可以在  $0V$  左右浮动, 从而影响 ADC 转换。

### 5.10.1.2.1 ADC 工作条件

超过工作无气流温度范围 (除非另作说明)

参数	测试条件	最小值	典型值	最大值	单位
ADCCLK (来自于 PERx.SYSCLK)		5		50	MHz
采样速率	160MHz SYSCLK			2.88	MSPS
采样窗口持续 (通过 PERx.SYSCLK 与 ACQPS 设置)	$50\Omega$ 或低于 $R_s$	75			ns
VREFHI	外部参考	2.4	2.5 或 3.0	VDDA	V
VREFHI	内部参考=3.3V		1.65		V
	内部参考=2.5V		2.5		V
VREFLO		VSSA		VSSA	V
VREFHI-VREFLO		2.4		VDDA	V
转换范围	内部参考=3.3V	0		3.3	V
	内部参考=2.5V	0		2.5	V
	外部参考	VREFLO		VREFHI	V

- (1) 该采样窗口必须至少比正常 ADC 操作超过 1 个 ADCCLK 周期;
- (2) 内部参考模式, 设备 VREFHI 引脚由参考电压驱动。用户在该模式时不应使用引脚驱动。

### 5.10.1.2.2 ADC 特性

超过工作无气流温度范围 (除非另作说明)

参数	测试条件	最小值	典型值	最大值	单位
通用					
ADCCLK 转换周期	160MHz SYSCLK	10.1		11	ADCCLKs
上电时间	内部参考模式			4500	us
	内部参考模式, 可选择 2.5V 或 3.3V			4500	us
DNL 误差	SDIF=0 bypass PGA		$\pm 1.5$		LSB
	SDIF=1 bypass PGA		$\pm 2$		LSB
INL 误差	SDIF=0 bypass PGA		$\pm 1$		LSB
	SDIF=1 bypass PGA		$\pm 2$		LSB
THD	SDIF=0 with PGA 0dB		68		dB

参数	测试条件	最小值	典型值	最大值	单位
	SDIF=0 bypass PGA		10.2		bit
	SDIF=1 bypass PGA		63		dB
ENOB	SDIF=0 with PGA 0dB		10.2		dB
	SDIF=0 bypass PGA		10.4		bit
	SDIF=1 bypass PGA		65		dB
SNDR	SDIF=0 with PGA 0dB		63		dB
	SDIF=0 bypass PGA		11		bit
	SDIF=1 bypass PGA		68		dB
Offset error	SDIF=0 bypass PGA	-16		16	LSB
	SDIF=1 bypass PGA	-16		16	LSB

- (1) 当 ADC 输入大于 VDDA 时，VREFHI 上的负载电流增加，将导致不精确转换。
- (2) 0805 封装电容或者更小的电容，允许向上接受±20%的误差。
- (3) IO 活动在 ADC 输入与 VREFHI 引脚上引脚毗邻是最小值，其中最佳的实践部分是减少电容耦合与穿越。
- (4) 变化穿越所有通道，属于相同的 ADC 模块。
- (5) 最坏的情况，与其他 ADC 模块相比。

### 5.10.1.2.3 ADC 时序框图

图5-35给出了基于以下假设的两个soc的ADC转换时序：

- SOC0和SOC1配置为使用相同的触发器
- 当触发器发生时，没有其他soc正在转换或挂起。
- 循环指针处于SOC0先转换的状态。
- ADCINTSEL被配置为在SOC0转换结束时设置ADCINT标志(该标志是否通过CPU导致中断由PIE模块配置决定)。

ADC时序参数说明如表5-12所示。ADC时序如表5-13所示。

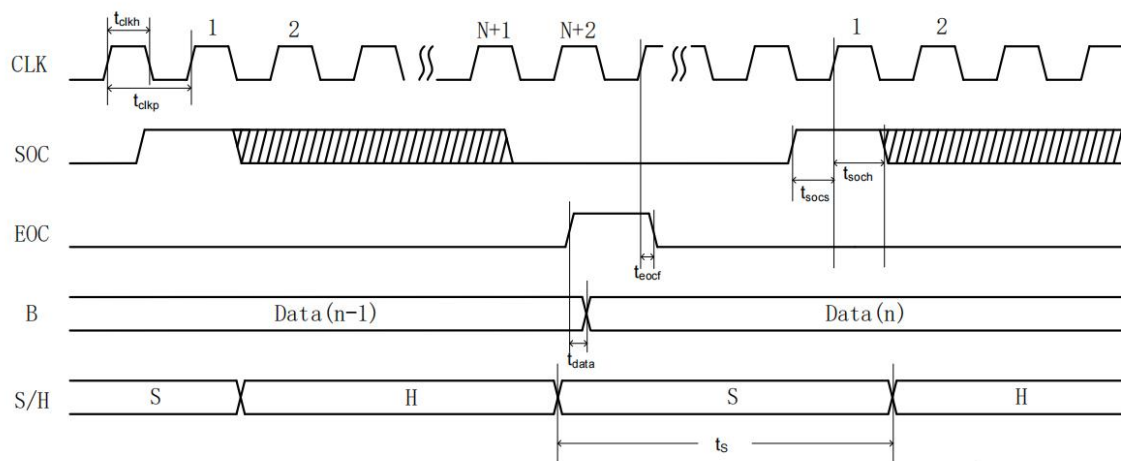


图 5-35 ADC 时序

表 5-12. ADC 时序参数

参数	描述
$t_{clkp}$	时钟周期
$t_s$	样本的持续时间。
$t_{soch}$	SOC保持时间
$t_{socs}$	Soc建立时间
$t_{eocf}$	时钟上升沿到EOC下降沿的时延
$t_{data}$	在数据总线上，从EOC的上升沿到数据的时间延迟

表 5-13. ADC 时序

ADCCLK 预分频		SYSCLK 周期	ADCCLK 周期
ADCCTL2 [PRESCALE]	RATIO ADCCLK:SYSCLK	$t_{EOC}$	$t_{EOC}$
0	1	11	11
2	2	21	10.5
4	3	31	10.3
6	4	41	10.3
8	5	51	10.2
10	6	61	10.2
12	7	71	10.1
14	8	81	10.1

- (1) 默认情况下,如果 INTPULSEPOS 为 0,  $t_{INT}$  发生在 S+H 窗口后 1 个 SYSCLK 周期。可以通过写入 ADCINTCYCLE 寄存器中的 OFFSET 字段来改变。

## 5.10.2 温度传感器

### 5.10.2.1 温度传感器电气数据和时序

该温度传感器可用于测量器件结温。温度传感器通过ADC的内部连接进行采样，并通过HX提供的软件转换为温度。当温度传感器采样时，ADC必须满足5.12.2.1.1中的采样时间。

#### 5.10.2.1.1 温度传感器特性

超过推荐的运行条件（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
$t_{\text{startup}}$	启动时间，(TSNSCTL[ENABLE]到采样温度传感器)			10		$\mu\text{s}$
$t_{\text{acq}}$	ADC 采集时间			289.85		ns

### 5.10.3 比较器子系统 (CMPSS)

每个 CMPSS 包含两个比较器，两个 12 位参考 DAC，两个数字滤波器和一个斜坡发生器。每个模块内的比较器用“H”或“L”表示，其中“H”和“L”分别表示高和低。每个比较器产生一个数字输出，表示正输入端的电压是否大于负输入端的电压。比较器的正输入可以由外部引脚。负输入可以由外部引脚或可编程参考 12 位 DAC 来驱动。每个比较器输出通过一个可编程的数字滤波器，可以剔除虚假的跳闸信号。如果不需要过滤，也可以使用未经过滤的输出。斜坡发生器电路可选择控制子系统中高比较器的 12 位 DAC 参考值。每个 CMPSS 模块有两个输出。这两个输出经过数字滤波器和 Cross-bar 模块再连接到 ePWM 模块或 GPIO 引脚。

CMPSS 连接如图 5-36 所示。

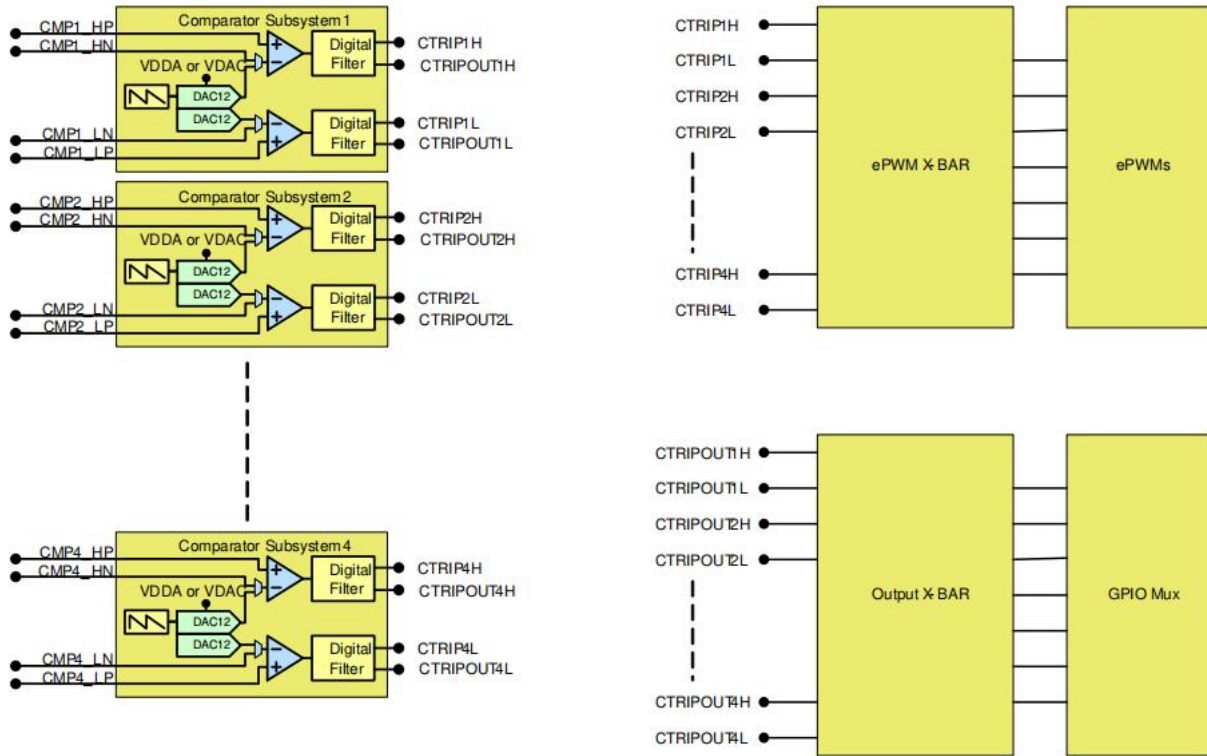


图 5-36 CMPSS 连接

### 5.10.3.1 CMPSS 电气数据和时序

第 5.12.3.1.1 节列出了比较器的电气特性。CMPSS 比较器输入参考偏移量如图 5-37 所示。CMPSS 比较器迟滞如图 5-38 所示。

#### 5.10.3.1.1 比较器电气特性

超过推荐的运行条件（除非另作说明）

参数		测试条件	最小值	典型值	最大值	单位
TPU	Power-up time				1.3	μs
比较器输入(CMPINxx)范围			0		VDDA	V

(1)CMPSS DAC 用作确定应用多大迟滞的参考。因此，迟滞量将与 CMPSS DAC 参考电压成比例。

迟滞可用于所有比较器输入源配置。

#### CMPSS 比较器输入参考偏移和迟滞

注意: CMPSS 输入必须保持在  $VDDA + 0.3\text{ V}$  以下，以确保正常的功能运行。如果 CMPSS 输入超过这个电平，内部阻塞电路将内部比较器与外部引脚隔离，直到外部引脚电压恢复到  $VDDA + 0.3\text{ V}$  以下。在此期间，内部比较器输入是浮动的，并且可以在大约  $0.5\mu\text{s}$  内衰减到  $VDDA$  以下。在此之后，根据比较器另一个输入，比较器可能输出一个错误的结果。

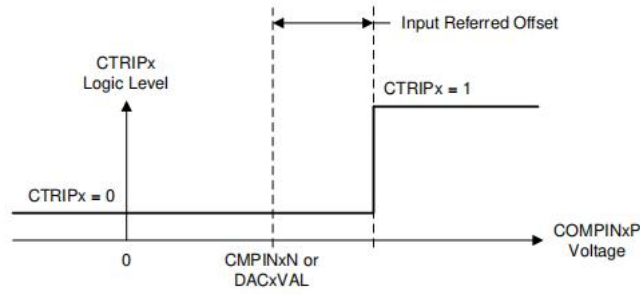


图 5-37. CMPSS 比较器输入参考偏移量

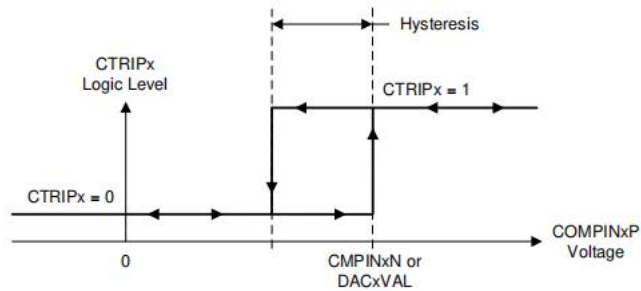


图 5-38. CMPSS 比较器迟滞

第 5.12.3.1.2 节列出了 CMPSS DAC 的静态电气特性

### 5.10.3.1.2 CMPSS DAC 静态电气特性

超过推荐运行条件（除注明外）

参数	测试条件	最小值	典型值	最大值	单位
CMPSS DAC 输出范围	内部参考	0		VDDA	V
	外部参考	0		VDAC <sup>(4)</sup>	
静态 DNL	终点修正	-1.2		1.2	LSB
静态 INL	终点修正	-1.6		1.6	LSB
校正时间	全量程输出变化后，调整到 1LSB		350		ns
分辨率			12		bits
VDAC 参考电压	当 VDAC 为参考时	2.4 2.5 or 3.0		VDDA	V
VDAC 负载 <sup>(3)</sup>	当 VDAC 为参考时	5		10	kΩ

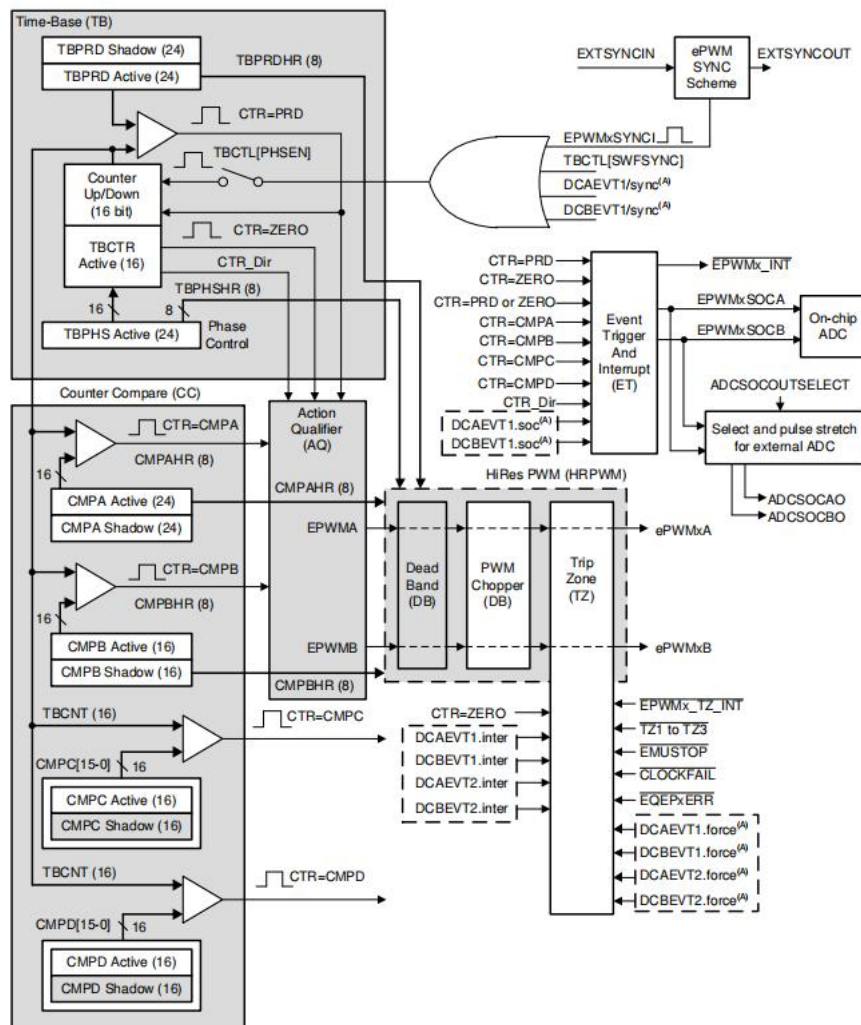
- (1) 包括比较器输入参考误差。
- (2) 在比较器跳闸后的一段时间内，CMPSS DAC 输出可能会出现扰动误差。
- (3) 每个活动 CMPSS 模块。
- (4) 当  $VDAC > VDDA$  时，最大输出电压为 VDDA。

## 5.11 控制外设

### 5.11.1 增强脉冲宽度调制器 (ePWM)

ePWM 外设是许多商业和工业设备中电力电子系统控制的关键部分。ePWM 模块能够以最小的 CPU 开销生成复杂的脉冲宽度波形，将具有独立资源的小模块构建为各个外设，并将这些资源共同组成系统运行。ePWM 模块的一些特性包括复杂波形生成、死区生成、灵活的同步配置、高级错误联防功能和全局寄存器重新加载功能。

ePWM 模块如图 5-42 所示。ePWM 错误联防输入连接如图 5-43 所示。



A. 根据 TRIPIN 输入的电平经过 ePWM 中的数字比较(DC)子模块生成的事件。

图 5-42. ePWM 子模块和关键内部信号连接

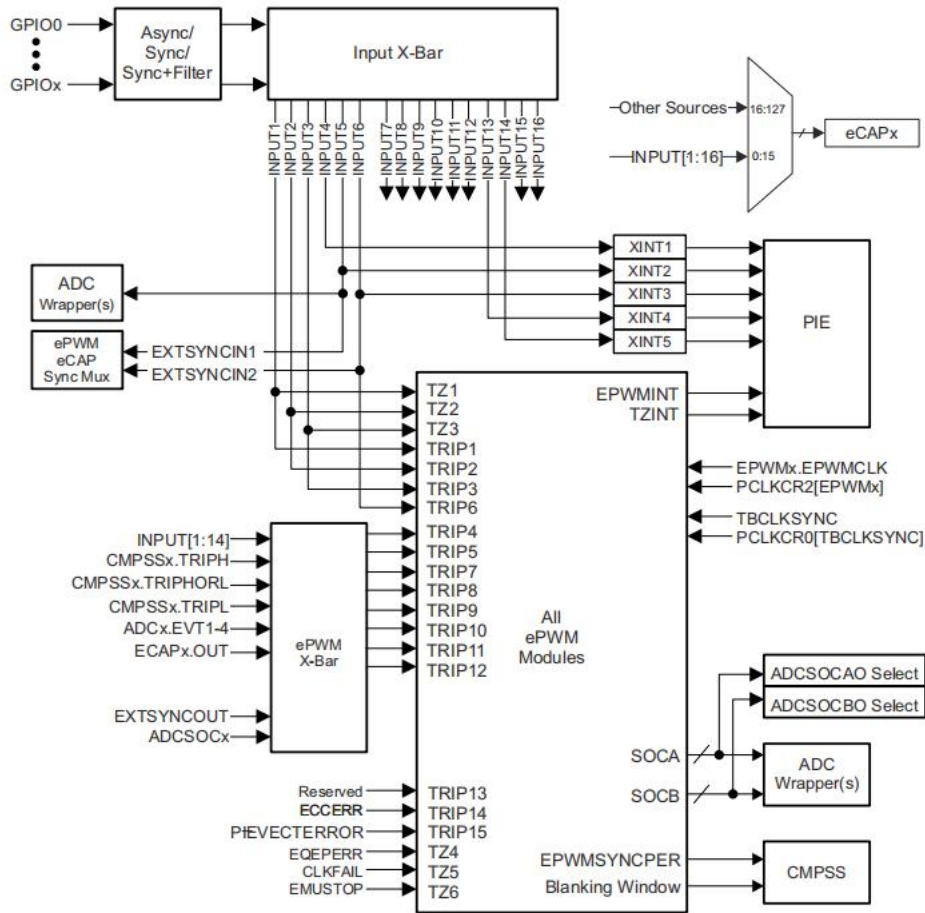


图 5-43. ePWM 错误联防输入连接

### 5.11.1.1 控制外设同步

设备上的 ePWM 和 eCAP 同步配置在 ePWM 和 eCAP 模块时更灵活，并允许在模块内进行本地化同步。与其他外设一样，ePWM 和 eCAP 模块的划分需要使用 CPUSELx 寄存器来完成。

同步配置如图 5-44 所示。

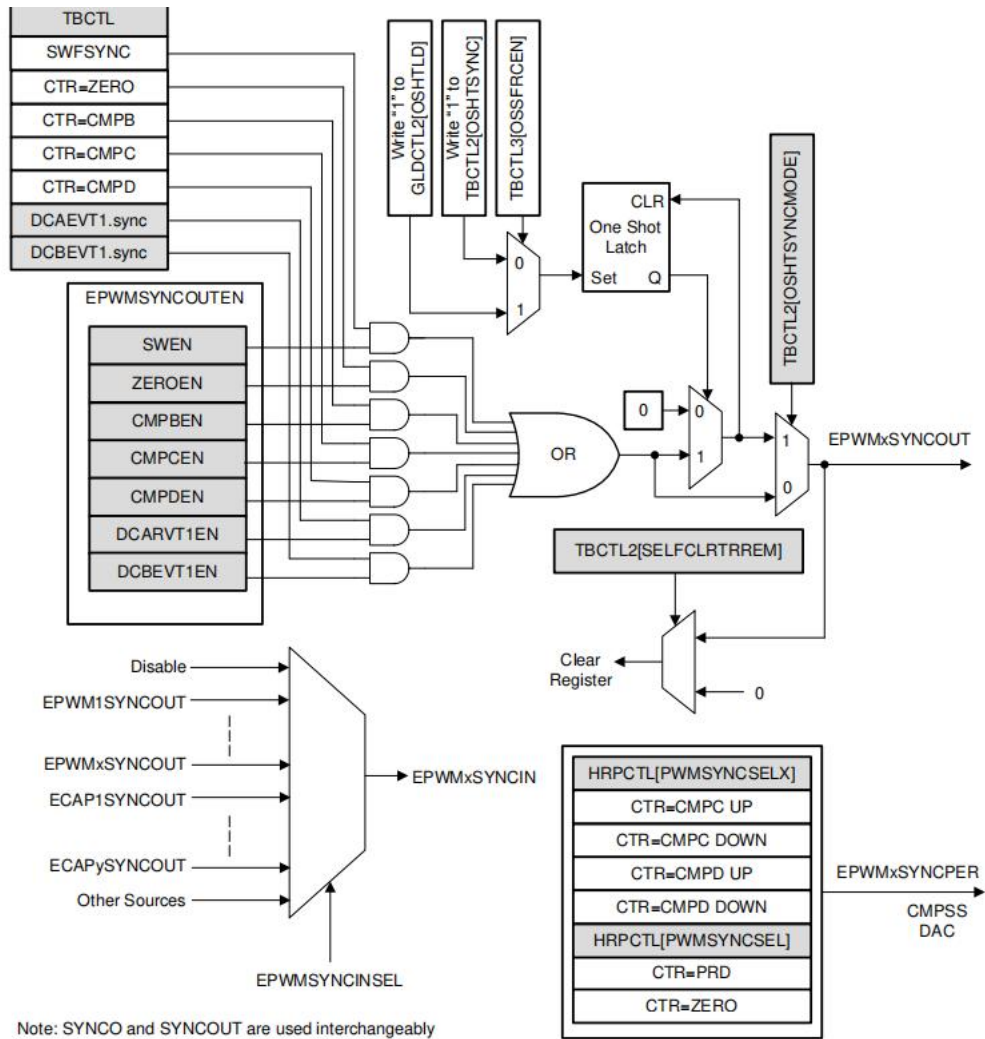


图 5-44. 同步链架构

### 5.11.1.2 ePWM 电气数据和时序

第 5.13.1.2.1 节列出了 ePWM 时序要求，第 5.13.1.2.2 节列出了 ePWM 开关特性。有关输入限定符参数的说明，请参见第 5.11.6.2.1 节。

#### 5.11.1.2.1 ePWM 时序要求

参数		最小值	最大值	单位
$t_w(\text{SYNCIN})$	同步输入脉冲宽度	异步	$2t_c(\text{EPWMCLK})$	cycles
		同步	$2t_c(\text{EPWMCLK})$	
		使用输入限定	$1t_c(\text{EPWMCLK}) + t_w(\text{QSW})$	

### 5.11.1.2.2 ePWM 开关特性

超过推荐的运行条件（除注明外）

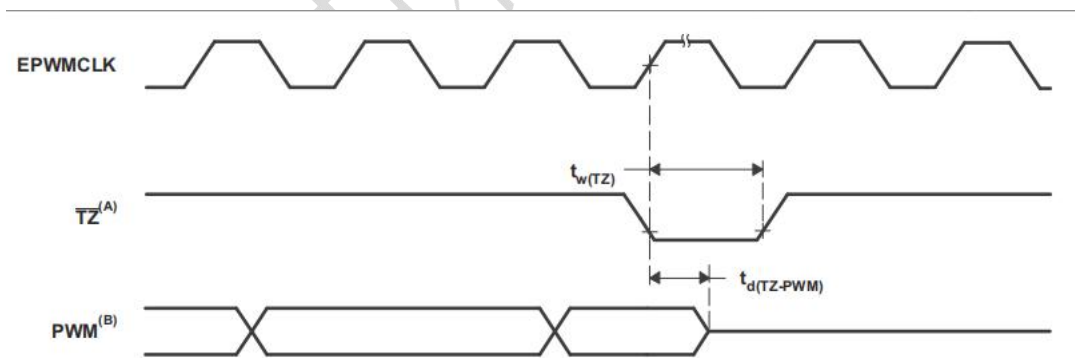
参数		最小值	最大值	单位
$t_w(\text{PWM})$	脉冲持续时间, PWMx 输出高/低		12.5	ns
$t_w(\text{SYNCOOUT})$	同步输出脉冲宽度	$8t_c(\text{SYSCLK})$		cycles
$t_d(\text{TZ-PWM})$	延时时间, 跳闸输入使 PWM 强制高 延时时间, 跳闸输入使到 PWM 强制低 延时时间, 跳闸输入使 PWM Hi-Z		25	ns

### 5.11.1.2.3 Trip-Zone 输入时序

第 5.12.1.2.3.1 节列出了 TZ 输入的时序要求。PWM Hi-Z 特性如图 5-45 所示。有关输入限定符参数的说明, 请参见第 5.11.6.2.1 节。

#### 5.11.1.2.3.1 Trip-Zone 输入时序要求

参数		最小值	最大值	单位
$t_w(\text{TZ})$	脉冲持续时间, $\overline{\text{TZ}}_x$ 输入低	异步	$1t_c(\text{EPWMCLK})$	cycles
		同步	$2t_c(\text{EPWMCLK})$	cycles
		使用输入限定	$1t_c(\text{EPWMCLK}) + t_w(\text{QSW})$	cycles



(1)  $\overline{\text{TZ}}$ :  $\overline{\text{TZ}}_1, \overline{\text{TZ}}_2, \overline{\text{TZ}}_3, \overline{\text{TRIP}}_1 - \overline{\text{TRIP}}_{12}$

(2) PWM 指的是设备中所有的 PWM 引脚。TZ 至高后 PWM 引脚的状态由 PWM 恢复软件恢复决定。

图 5-45 PWM 高阻特性

### 5.11.1.3 外部 ADC 转换脉冲开始的电气数据和时序

第 7.13.1.3.1 节列出了外部 ADC 转换开始的开关特性。ADCSOCA0 或 ADCSOCB0 定时如图 7-46 所示。

#### 5.11.1.3.1 外部 ADC 转换脉冲开始的开关特性

超出建议的运行条件 (除非另有说明)

参数		最小值	最大值	单位
$t_{w(ADCSOCL)}$	脉冲持续时间, $\overline{ADCSOCxO}$ 低	$32t_{c(SYSCLK)}$		cycles

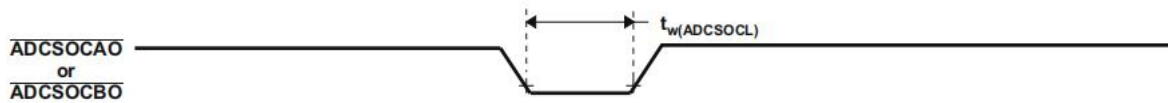


图 5-46. ADCSOCA0 或 ADCSOCB0 时序

## 5.11.2 高分辨率脉冲宽度调制器 (HRPWM)

HRPWM 将多个延迟线组合在一个模块中，并通过使用专用的校准延迟线简化校准系统。对于每个 ePWM 模块，有两个 HR 输出：

- 通道 A 的 HR 占空比与死区控制
- 通道 B 的 HR 占空比与死区控制

HRPWM 模块提供的 PWM 分辨率(时间间隔尺寸)明显优于使用传统的数字 PWM 方式所能实现的分辨率。HRPWM 模块的关键点是：

- 显著提高了传统数字 PWM 的时间分辨率能力
- 此功能可用于单边缘(占空比和相移控制)以及频率/周期调制的双边缘控制。
- 通过对 ePWM 模块的 Compare A, B, 相位, 周期和死区寄存器的扩展功能, 可以控制更细的时间粒度控制或边缘定位。

注意： HRPWM 允许的最低 HRPWMCLK 频率为 60 MHz。

### 5.11.2.1 HRPWM 电气数据和时序

第 5.13.2.1.1 节列出了高分辨率 PWM 开关特性。

#### 5.11.2.1.1 高分辨率 PWM 特性

参数	最小值	典型值	最大值	单位
微边缘 (MEP) 定位步长 <sup>(1)</sup>		30	76	ps

(1) 在 VDD 上, MEP 步长在高温和最低电压时最大。MEP 步长随温度升高、电压降低而增大, 随温度降低、电压升高而减小。应用程序根据 HRPWM 特性应使用 MEP 比例因子优化器 (SFO) 估算软件功能。当 HRPWM 工作时, SFO 函数会协助动态估算每个 SYSCLK 周期的 MEP 步数。

## 5.11.3 增强捕获和高分辨率捕获 (eCAP, HRCAP)

eCAP 模块可用于精确计时的外部事件中。

eCAP 的应用包括:

旋转机械的速度测量(例如, 通过霍尔传感器感知的齿链轮)

- 位置传感器脉冲之间的耗时测量
- 脉冲序列信号的周期和占空比测量
- 从占空比编码电流/电压传感器中解码电流或电压幅值

eCAP 模块包括以下特性:

- 4 个事件的时间戳寄存器(每个 32 位)
- 边缘极性选择, 最多可选择四个时序时间戳捕获事件
- 中断这四个事件中的任意一个
- 单镜头捕捉最多四个事件时间戳
- 四深循环缓冲区中时间戳的连续模式捕获
- 绝对时间戳捕获
- 差额(Delta)模式时间戳捕获
- 以上所有资源专用于单个输入引脚
- 当不用于捕获模式时, eCAP 模块可以配置为单通道 PWM 输出 (APWM)。

eCAP 的捕获功能增加了以下特性:

- 事件过滤器复位位
  - 向 ECCTL2[CTRFILTRESET]写入 1 将清除事件过滤器、取模计数器和任何挂起的中断标志。重置位对于初始化和调试很有用
- 模数计数器状态位
  - 模计数器(ECCTL2 [MODCTRSTS])指示接下来加载哪个捕获寄存器。在 eCAP 中, 不可能知道模计数器的当前状态。
- DMA 触发源

- eCAPxDMA 被添加为 DMA 触发器。CEVT[1-4]可以配置为 eCAPxDMA 的源。
- 输入多路转接器
  - ECCTL0 [INPUTSEL] 从 128 个输入信号中选择一个。
- EALLOW 保护
  - EALLOW 保护被添加为关键寄存器。为了保持 eCAP 的软件兼容性，需要配置 DEV\_CFG\_REGS.ECAPTYPE 使这些寄存器不受保护。
- ECAPxSYNCINSEL 寄存器
  - 每个 eCAP 添加 ECAPxSYNCINSEL 寄存器，以选择外部 SYNCIN。每个 eCAP 都可以有一个单独的 SYNCIN 信号。

eCAP 输入通过输入 X-BAR 连接到任何 GPIO 输入。APWM 输出通过 GPIO mux 中的 Output X-BAR 到 OUTPUTx 位置连接到 GPIO 引脚。参见第 6.4.3 节和第 6.4.4 节。

eCAP 模块由 PERx.SYSCLK 计时。

PCLKCR3 寄存器中的时钟使能位 (ECAP1-ECAP3) 分别关闭 eCAP 模块 (用于低功耗操作)。复位时，ECAP1ENCLK 设为低，表示外围时钟关闭。

### 5.11.3.1 高分辨率捕获 (HRCAP)

高性能捕获 (HRCAP) 模块测量外部脉冲与一个 300ps 典型分辨率之间的差异。

HRCAP 的用途包括：

- 电容触摸应用
- 脉冲序列周期的高分辨率周期和占空比测量
- 瞬时速度测量
- 瞬时频率测量
- 在一个隔离边界上的电压测量
- 距离/回声定位测量和扫描

HRCAP 模块的特性包括：

- 在非高分辨率或者高分辨率模式中的脉宽捕获

- 差分 (Delta) 模式脉宽捕获
- 在每个边沿上 300ps 分辨率的典型高性能捕获
- 下降或者上升边沿上的中断
- 2 深度缓冲器中脉冲宽度的持续模式捕获
- 针对精准高性能捕获的校准逻辑
- 所有上述资源只用于一个单输入引脚

除了一个高分辨率校准时钟，HRCAP 模块还包括一个捕获通道，校准时，将内部连接至最后一个可用的 ePWMxA HRPWM 通道。

每一个 HRCAP 通道有下列独立的关键资源：

- 专用输入捕捉引脚
- 16 位 HRCAP 时钟等于 PLL 输出频率（与 SYSCLK 异步）或者等于 SYSCLK 频率（与 SYSCLK 同步）
- 在一个 2 级深度缓冲器中的高分辨率脉宽捕捉

表 4-12 HRCAP 寄存器

名称	HRCAP1	HRCAP2	寄存器描述
HCCTL	0xCC00	0xCC80	HRCAP 控制寄存器 <sup>(1)</sup>
HCIFR	0xCC04	0xCC84	HRCAP 中断标志寄存器
HCICLR	0xCC08	0xCC88	HRCAP 中断清除寄存器
HCIFRC	0xCC0C	0xCC8C	HRCAP 中断强制寄存器
HCCOUNTER	0xCC10	0xCC90	HRCAP 16 位计数器寄存器
HCCAL	0xCC14	0xCC94	HRCAP 校准控制寄存器
HCCALMEP	0xCC18	0xCC98	HRCAP MEP 寄存器
HCMEPSTATUS	0xCC1C	0xCC9C	HRCAP MEP 状态寄存器
HCCAPCNTRISE0	0xCC40	0xCCC0	在上升边沿 0 寄存器上的 HRCAP 捕捉计数器
HCCAPCNTFALL0	0xCC48	0xCCC8	在下降边沿 0 寄存器上的 HRCAP 捕捉计数器
HCCAPCNTRISE1	0xCC60	0xCCE0	在上升边沿 1 寄存器上的 HRCAP 捕捉计数器
HCCAPCNTFALL1	0xCC68	0xCCE8	在下降边沿 1 寄存器上的 HRCAP 捕捉计数器

注：（1）寄存器是 EALLOW 受保护的。

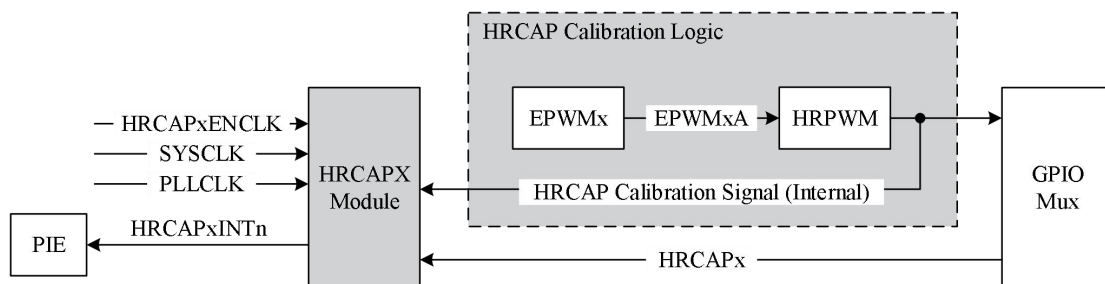


图 5-47 HRCAP 模块结构图

### 5.11.3.2 eCAP/HRCAP 同步

eCAP 模块可以通过选择一个共同的 SYNCIN 源相互同步。eCAP 的 SYNCIN 源可以是软件同步或外部同步。外部同步信号可以来自 EPWM、eCAP 或 X-Bar。SYNC 信号由 ECAPx 的 ECAPxSYNCINSEL[SEL]位来定义，如图 5-48 所示。

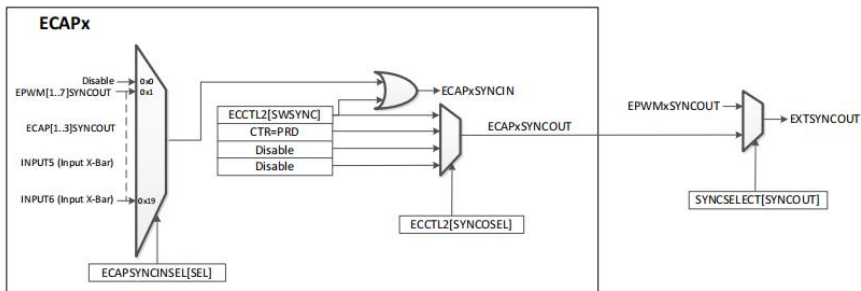


图 5-48. eCAP 同步系统

### 5.11.3.3 eCAP 电气数据和时序

章节 5.13.3.3.1 列出了 eCAP 时序要求，章节 5.13.3.3.2 列出了 eCAP 开关特性。

#### 5.11.3.3.1 eCAP 时序要求

			最小值	典型值	最大值	单位
$t_w(\text{CAP})$	捕获输入脉冲宽度	异步	$2t_c(\text{SYSCLK})$			ns
		同步	$2t_c(\text{SYSCLK})$			
		使用输入限定	$1t_c(\text{SYSCLK}) + t_w(\text{IQSW})$			

#### 5.11.3.3.2 eCAP 开关特性

超过推荐运行状态（除非另有说明）

参数		最小值	典型值	最大值	单位
$t_w(\text{APWM})$	脉冲持续时间，APWMx 输出高/低		12.5		ns

### 5.11.3.4 HRCAP 电气数据和时序

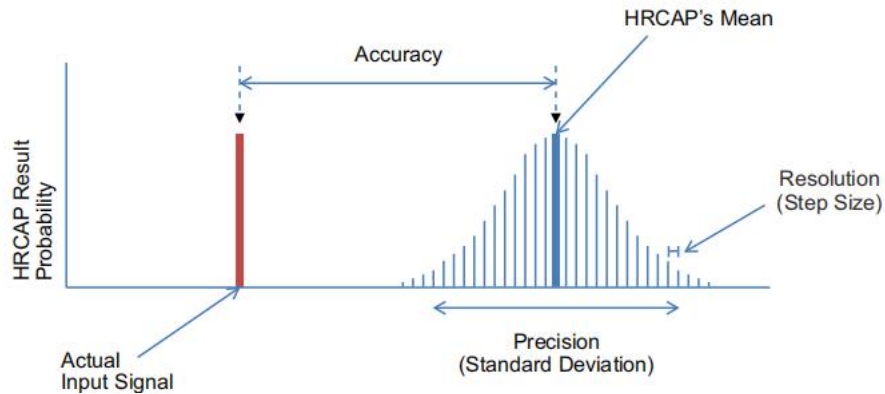
节 5.13.3.4.1 列出了 HRCAP 开关特性。HRCAP 精度和分辨率如图 5-49 所示。HRCAP 的标准偏差特性如图 5-50 所示。

#### 5.11.3.4.1 HRCAP 开关特性

超过推荐运行状态（除非另有说明）

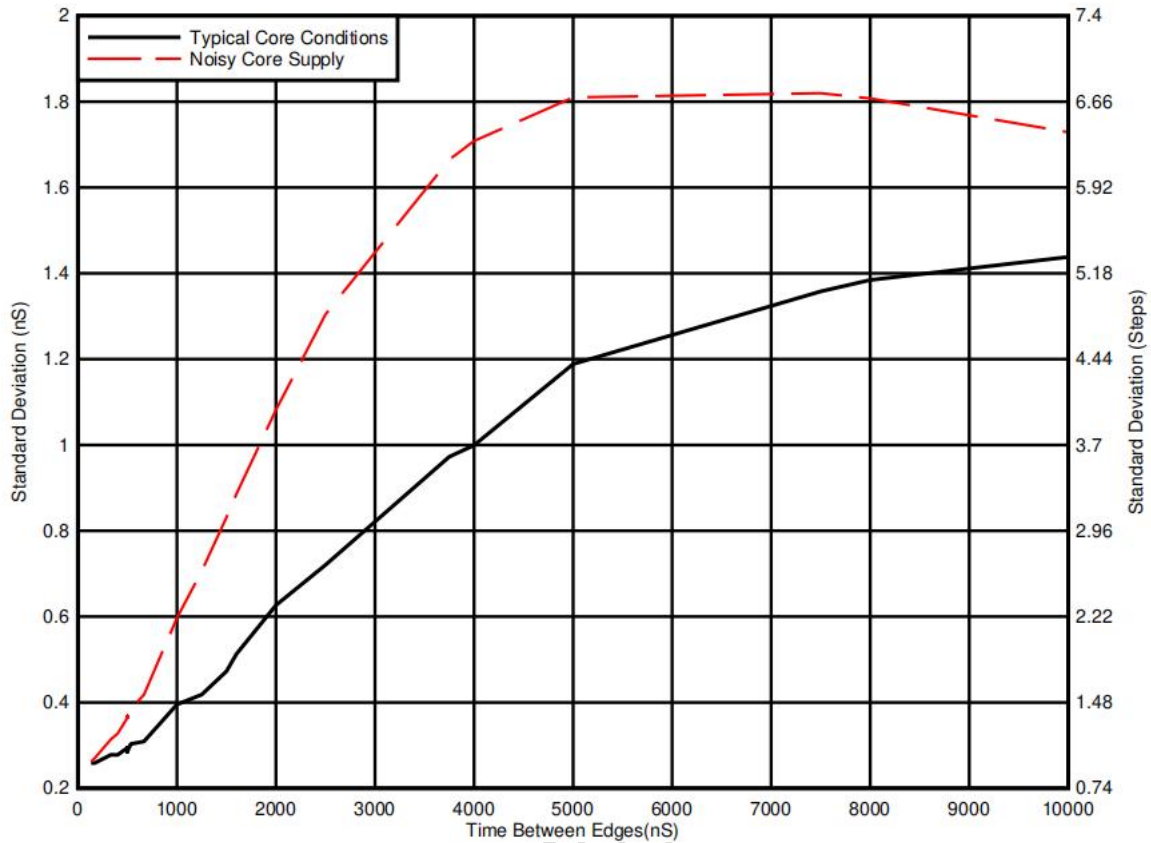
参数	测试条件	最小值	典型值	最大值	UNIT
输入脉冲宽度		110			ns
精度 <sup>(1)</sup> (2) (3) (4)	测量长度 ≤ 5 μs		±390	540	ps
	测量长度 > 5 μs		±450	1450	ps
标准偏差		参考 HRCAP 标准偏差特征图			
分辨率				300	ps

- (1) 使用 100 PPM 的振荡器获得的值，振荡器的精度直接影响 HRCAP 的精度。
- (2) 测量采用上升-上升边或下降-下降边
- (3) 由于 VIH 和 VIL 的不同，相反的极性边会有额外的误差。这种效果取决于信号的转换速率。
- (4) 精度仅适用于时间转换测量。



- A. HRCAP 在性能上有一些变化，所以使用以下术语描述的概率分布:
- 准确度, 输入信号与 HRCAP 分布平均值之间的时间差。
  - 精度:HRCAP 分布的宽度, 这是一个标准偏差。
  - 分辨率:最小的可测量增量。

图 5-49. HRCAP 精度和分辨率



- A. 典型核心条件:所有外围时钟都已启用
- B. 噪声核心补充:在测量过程中,所有的核心时钟都有规律地开启和关闭。
- C. 1.2 v 轨道上的电流和电压波动会导致 HRCAP 的标准偏差上升。应该注意确保 1.2 v 电源是干净的,并且在使用 HRCAP 时尽量减少内部事件(如启用和禁用时钟树)的噪声。

图 5-50. HRCAP 标准偏差特性

### 5.11.4 增强型正交编码器脉冲 (eQEP)

eQEP 接口直接与线性或旋转增量编码器接口,从高性能运动和位置控制系统的旋转机器中获取位置、方向和速度信息。

eQEP 外设包括以下主要功能单元(如图 5-51 所示):

- 每个引脚均可编程输入(部分 GPIO MUX)
- 正交解码单元(QDU)
- 位置计数器和位置测量控制单元 (PCCU)
- 用于低速测量的正交边缘捕获单元 (QCAP)
- 测量速度/频率的单位时基 (UTIME)
- 检测档位的看门狗定时器(QWDOG)

- 正交模式适配器(QMA)

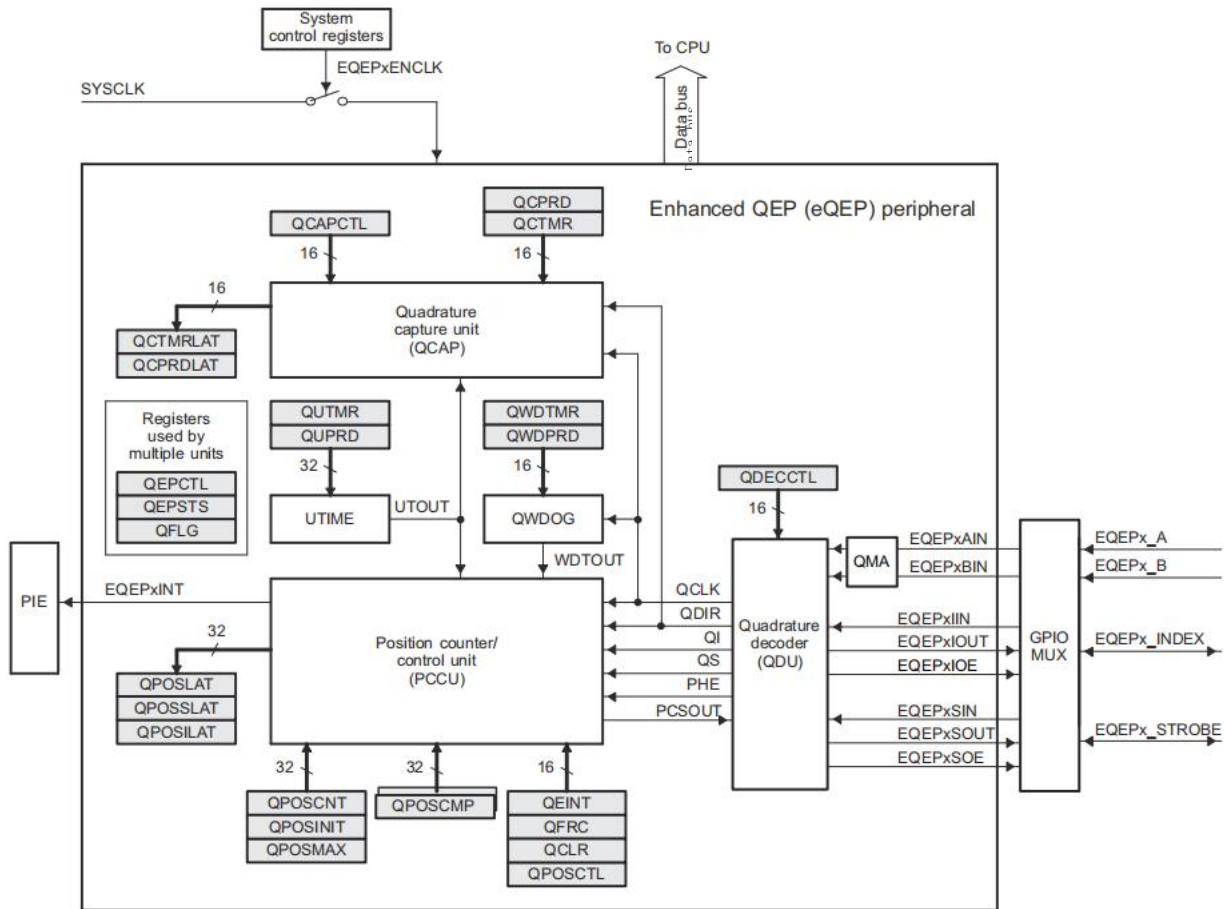


图 5-51. eQEP 框图

### 5.11.4.1 eQEP 电气数据和时序

第 5.12.4.1.1 节列出了 eQEP 时序要求，第 5.13.4.1.2 节列出了 eQEP 切换特性。有关输入限定符参数的说明，请参见第 5.11.6.2.1 节。

#### 5.11.4.1.1 eQEP 时序要求

		参数	最小值	最大值	单位
$t_w(QEPP)$	QEP 输入周期	同步 <sup>(1)</sup>		$2t_c(SYSCLK)$	cycles
		与输入限定同步		$2[1t_c(SYSCLK) + t_w(IQSW)]$	
$t_w(INDEXH)$	QEP Index Input High time 索引高输入时间	同步 <sup>(1)</sup>		$2t_c(SYSCLK)$	cycles
		与输入限定同步		$2t_c(SYSCLK) + t_w(IQSW)$	
$t_w(INDEXL)$	QEP Index Input Low time	同步 <sup>(1)</sup>		$2t_c(SYSCLK)$	cycles
		与输入限定同步		$2t_c(SYSCLK) + t_w(IQSW)$	

	索引低输入时间			
$t_w(\text{STROBH})$	QEP Strobe input High time 闪烁高输入时间	同步 <sup>(1)</sup>	$2t_c(\text{SYSCLK})$	cycles
		与输入限定同步	$2t_c(\text{SYSCLK}) + t_w(\text{IQSW})$	
$t_w(\text{STROBL})$	QEP Strobe Input Low time 闪烁低输入时间	同步 <sup>(1)</sup>	$2t_c(\text{SYSCLK})$	cycles
		与输入限定同步	$2t_c(\text{SYSCLK}) + t_w(\text{IQSW})$	

(1)GPIO GPxQSELn 异步模式不应该用于 eQEP 模块的输入引脚。

#### 5.11.4.1.2 eQEP 开关特性

参数		最小值	最大值	单位
$t_d(\text{CNTR})_{\text{xin}}$	延迟时间, 外部时钟计数器增量		$5t_c(\text{SYSCLK})$	cycles
$t_d(\text{PCS-OUT})_{\text{QEP}}$	延迟时间, QEP 输入边沿到位置比较同步输出		$7t_c(\text{SYSCLK})$	cycles

## 5.12 通信外设

### 5.12.1 控制局域网络 (CAN)

CAN 模块使用称为 DCAN 的 IP。本文档交替使用名称 CAN 和 DCAN 来引用此外设。

CAN 模块实现了以下功能:

- 符合 ISO11898-1 (Bosch®CAN 协议规范 2.0 A 和 B)
- 比特率高达 1 Mbps
- 多个时钟源
- 32 个消息对象(邮箱), 每个具有以下属性:
  - 可配置为接收或发送
  - 可配置标准(11 位)或扩展(29 位)标识符
  - 支持可编程 ID 接收码
  - 支持数据帧和远程帧
  - 数据长度为 0 ~ 8 字节
  - 对配置和数据 RAM 进行奇偶校验
- 每个消息对象的单独 ID 码
- 消息对象的可编程 FIFO 模式
- 可编程环回模式自检操作
- 调试支持休眠模式
- 软件模块复位

- 可编程的 32 位定时器自动总线在总线关闭状态
- 两条中断线
- 支持 DMA

**注意**：对于 100 MHz 的 CAN 位时钟，可能的最小比特率是 3.90625 kbps。片上零针振荡器的精度见 5.11.3.5.1 节。根据 CAN 比特定时设置、比特率、总线长度和传播延迟等参数，该片上振荡器的精度可能无法满足 CAN 协议的要求。此时必须使用外部时钟源。

CAN 模块框图如图 5-52 所示。

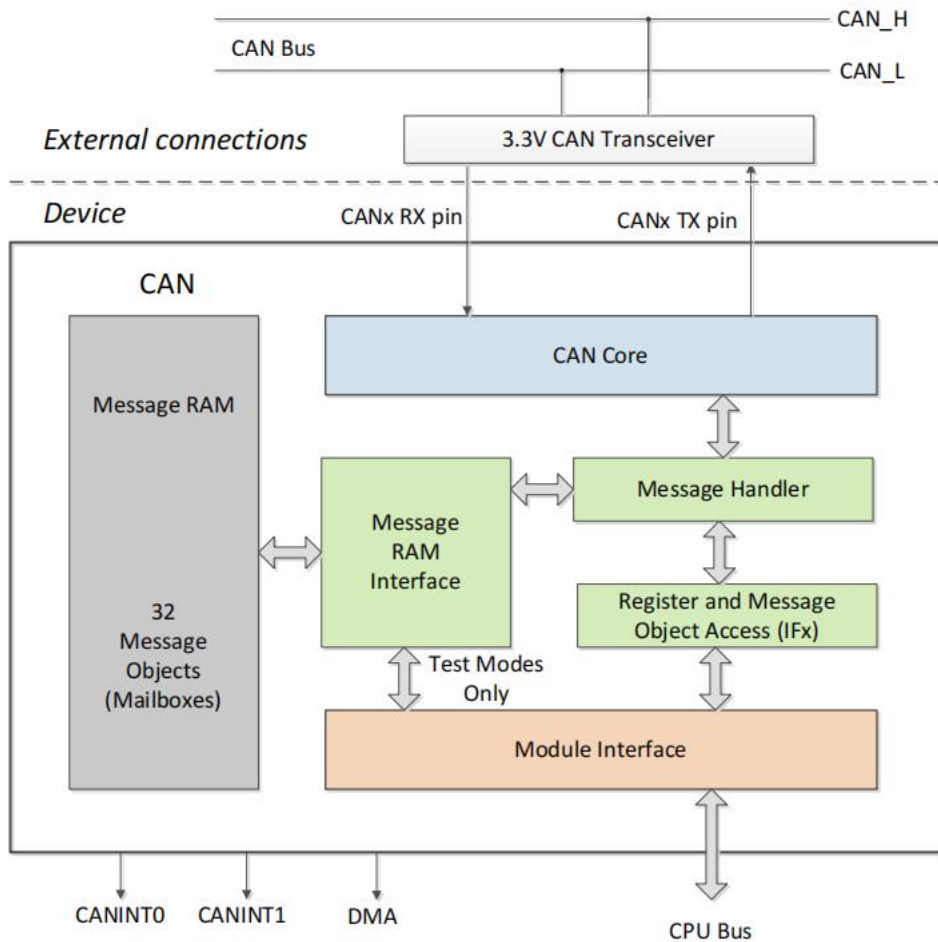


图 5-52. CAN 框图

## 5.12.2 内置集成电路 (I2C)

I2C 模块具有以下特点：

- 符合 NXP 半导体 i2c 总线规范 (2.1 版)
  - 支持 8 位格式传输
  - 7 位和 10 位寻址模式

- 通用寻呼
- START 字节模式
- 支持多个主发射机和从接收机
- 支持多个从发射机和主接收机
- 主发送/接收和接收/发送组合模式
- 数据传输速率从 10kbps 提高到 400kbps (Fast-mode)
- 一个 16 字节的接收 FIFO 和一个 16 字节的发送 FIFO
- 支持两个 ePIE 中断
  - I2Cx 中断-下列任何一条件都可以配置生成 I2Cx 中断:
    - 发送就绪
    - 接受就绪
    - 存取寄存器就绪
    - 未应答
    - 仲裁丢失
    - 检测停止状态
    - 从机地址
  - I2Cx\_FIFO 中断:
    - 发送 FIFO 中断
    - 接收 FIFO 中断
- 模块启用和禁用功能
- 自由数据格式模式

设备 I2C 外设模块接口如图 5-53 所示。

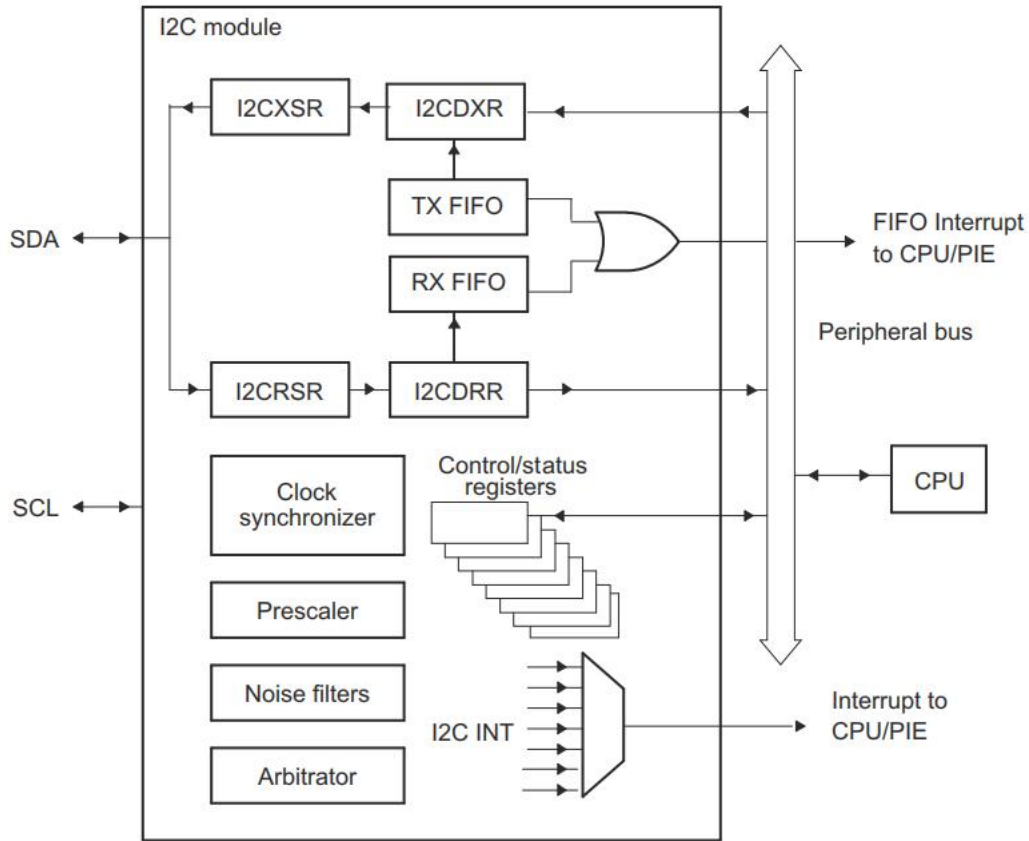


图 5-53. I2C 外设模块接口

注意：为了满足所有 I2C 协议时序规范，I2C 模块时钟必须配置在 7MHz ~ 12MHz 范围内。

### 5.12.2.1 I2C 电气数据和时序

I2C 定时要求请参见章节 5.14.2.1.1。I2C 开关特性请参见 5.14.2.1.2。I2C 时序示意图如图 5-54 所示。

#### 5.12.2.1.1 I2C 开关特性

超过推荐运行条件（除非另有说明）

NO.	参数		测试条件	最小值	最大值	单位
<b>标准模式</b>						
S1	fSCL	SCL 时钟频率		0	100	kHz
S2	TSCL	SCL 时钟周期		10		μs
S3	tw(SCLL)	脉冲持续时间, SCL 时钟低		4.7		μs
S4	tw(SCLH)	脉冲持续时间, SCL 时钟高		4.0		μs
S5	tBUF	在 STOP 和 START 之间的总线空闲时间		4.7		μs
S6	tv(SCL-DAT)	有效时间, 在 SCL 下降后数据			3.45	μs
S7	tv(SCL-ACK)	有效时间, 在 SCL 下降后为确认			3.45	μs
S8	II	引脚输入电流	0.1 V <sub>bus</sub> < Vi < 0.9V <sub>bus</sub>	-10	10	μA

快速模式						
S1	fSCL	SCL 时钟频率		0	400	kHz
S2	TSCCL	SCL 时钟周期		2.5		μs
S3	tw(SCLL)	脉冲持续时间, SCL 时钟低		1.3		μs
S4	tw(SCLH)	脉冲持续时间, SCL 时钟高		0.6		μs
S5	tBUF	在 STOP 和 START 之间的总线空闲时间		1.3		μs
S6	tv(SCL-DAT)	有效时间, 在 SCL 下降后数据			0.9	μs
S7	tv(SCL-ACK)	有效时间, 在 SCL 下降后为应答			0.9	μs
S8	II	引脚输入电流	$0.1 V_{bus} < V_i < 0.9V_{bus}$	-10	10	μA

### 5.12.2.1.2 I2C 时序图

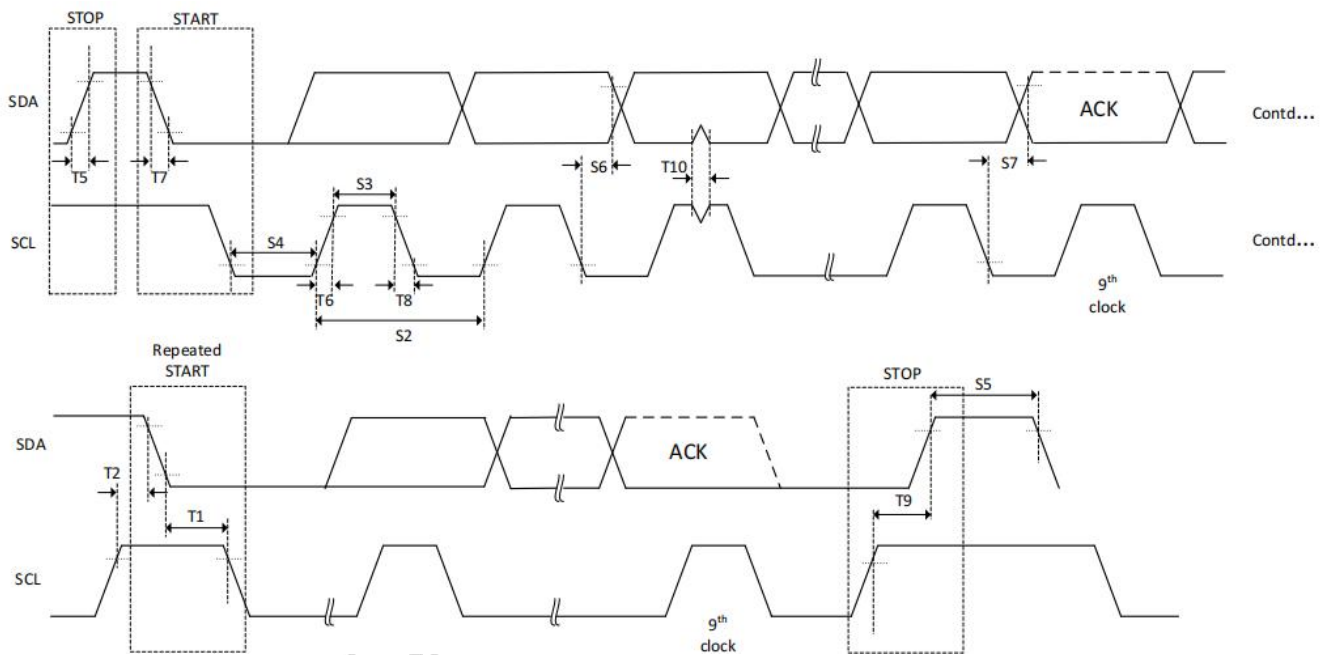


图 5-54. I2C 时序图

### 5.12.3 电源管理总线 (PMBus) 接口

PMBus 模块具有以下特点:

- 符合 SMI 论坛 PMBus 规范 (Part I v1.0 和 Part II v1.1)
- 支持主和从模式
- 支持 I2C 模式
- 支持两种速率
  - 标准模式: 最高达 100 kHz

- 快速模式: 400 kHz
- 数据包错误检验
- 控制和警报信号
- 时钟高和低超时
- 4 字节发送和接收缓冲区
- 一个可屏蔽中断，它可以由以下条件生成：
  - 接收数据就绪
  - 发送缓冲区为空
  - 从地址接收
  - 报文结束
  - ALERT 输入提示
  - 时钟低超时
  - 时钟高超时
  - 总线空闲

PMBus 模块框图如图 5-55 所示。

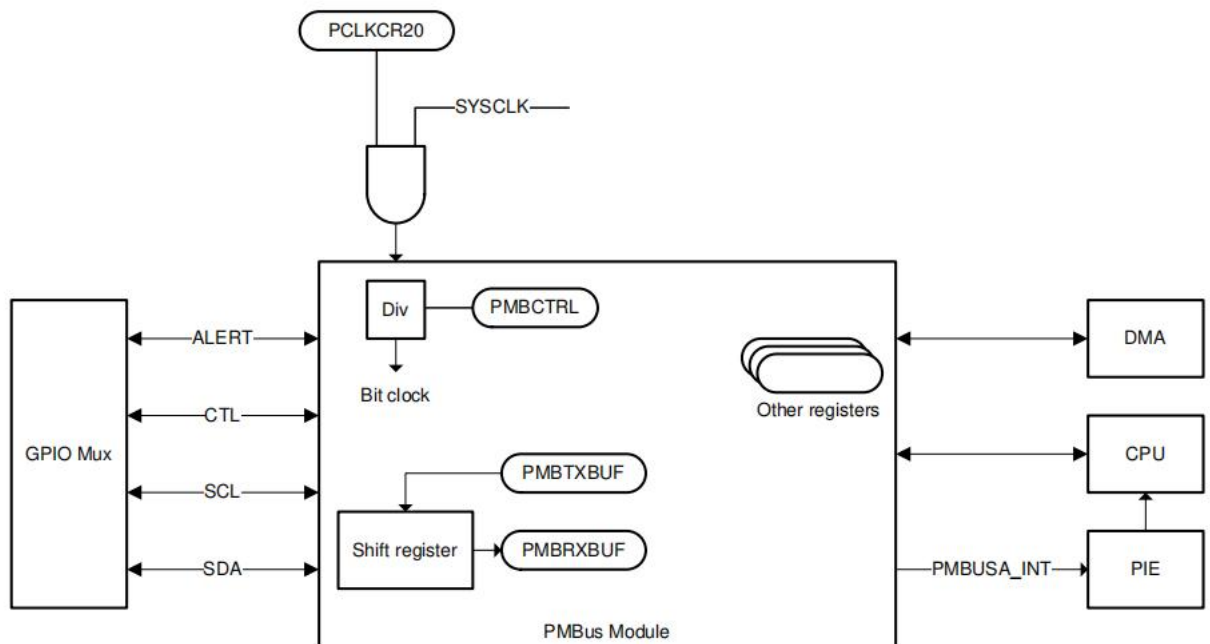


图 5-55. PMBus 框图

第 5.14.3.1.1 节列出了 PMBus 电气特性。章节 5.14.3.1.2 列出了 PMBUS 快速模式的开关特性。  
 章节 5.14.3.1.3 列出了 PMBUS 标准模式的开关特性。

### 5.12.3.1.1 PMBus 电气特性

超过推荐运行条件（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位	
V <sub>IL</sub>	有效低电平输入电压			0.8	V	
V <sub>IH</sub>	有效高电平输入电压	2.1		VDDIO	V	
V <sub>OL</sub>	低电平输出电压	At I <sub>pullup</sub> = 4 mA		0.4	V	
I <sub>OL</sub>	低电平输出电流	V <sub>OL</sub> ≤ 0.4 V		4	mA	
t <sub>SP</sub>	输入滤波器必须抑制的脉冲宽度	0		50	ns	
I <sub>i</sub>	在每个引脚上输入漏电流	0.1 V <sub>bus</sub> < V <sub>i</sub> < 0.9 V <sub>bus</sub>		-10	10	μA
C <sub>i</sub>	每个引脚的电容			10	pF	

### 5.12.3.1.2 PMBus 快速模式的开关特性

超过推荐运行条件（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位	
f <sub>SCL</sub>	SCL 时钟频率	10		400	kHz	
t <sub>BUF</sub>	在 STOP 和 START 之间的总线空闲时间	1.3			μs	
t <sub>HD;STA</sub>	START 条件保持时间-- SDA fall to SCL fall delay SDA 下降到 SCL 下降的延迟	0.6			μs	
t <sub>SU;STA</sub>	重复 START 建立时间 -- SCL rise to SDA fall delay SCL 上升到 SDA 下降之间的延时	0.6			μs	
t <sub>SU;STO</sub>	STOP 条件建立时间 -- SCL 上升到 SDA 上升的延迟	0.6			μs	
t <sub>HD;DAT</sub>	在 SCL 下降后的保持时间	300			ns	
t <sub>SU;DAT</sub>	在 SCL 上升前的建立时间	100			ns	
t <sub>Timeout</sub>	时钟低超时	25		35	ms	
t <sub>LOW</sub>	低周期的 SCL 时钟	1.3			μs	
t <sub>HIGH</sub>	高周期的 SCL 时钟	0.6		50	μs	
t <sub>LOW;SEXT</sub>	累计时钟低延时间(从设备)	从 START 到 STOP		25	ms	
t <sub>LOW;MEXT</sub>	累计时钟低延时间（主设备）	每个字节内		10	ms	
t <sub>r</sub>	SDA 和 SCL 的上升时间	5% 至 95%		20	300	ns
t <sub>f</sub>	SDA 和 SCL 的下降时间	95% 至 5%		20	300	ns

### 5.12.3.1.3 PMBus 标准模式的开关特性

超过推荐运行条件（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
f <sub>SCL</sub>	SCL 时钟频率		10		100	kHz
t <sub>BUF</sub>	在 STOP 和 START 之间的总线空闲时间		4.7			μs
t <sub>HD;STA</sub>	START 条件保持时间-- SDA fall to SCL fall delay SDA 下降到 SCL 下降的延迟		4			μs
t <sub>SU;STA</sub>	重复 START 建立时间 -- SCL rise to SDA fall delay SCL 上升到 SDA 下降之间的延时		4.7			μs
t <sub>SU;STO</sub>	STOP 条件建立时间 -- SCL 上升到 SDA 上升的延迟		4			μs
t <sub>HD;DAT</sub>	在 SCL 下降后的保持时间		300			ns
t <sub>SU;DAT</sub>	在 SCL 上升前的建立时间		250			ns
t <sub>Timeout</sub>	时钟低超时		25		35	ms
t <sub>LOW</sub>	低周期的 SCL 时钟		4.7			μs
t <sub>HIGH</sub>	高周期的 SCL 时钟		4		50	μs
t <sub>LOW;SEXT</sub>	累计时钟低延时间（从设备）	从 START 至 STOP			25	ms
t <sub>LOW;MEXT</sub>	累计时钟低延时间（主设备）	每个字节内			10	ms
t <sub>r</sub>	SDA 和 SCL 的上升时间				1000	ns
t <sub>f</sub>	SDA 和 SCL 的下降时间				300	ns

### 5.12.4 串行通信接口（SCI）

SCI 是一种两线异步串行端口，通常称为 UART。SCI 模块支持 CPU 和其他使用标准非归零 (NRZ) 格式的异步外设的数字通信。SCI 接收器和发射器都有一个 16 层的 FIFO，可以减少 CPU 工作开销，每个都有单独的使能和中断位。可以独立进行半双工通信，或同时进行全双工通信。为了确定数据完整性，SCI 检查接收到的数据是否有中断检查、奇偶校验、溢出和帧格式错误。通过 16 位寄存器修改可以编程不同的波特率速度。

SCI 模块的特点包括:

- 两个外部引脚:
  - SCITXD: SCI 发送输出引脚
  - SCIRXD: SCI 接收输入引脚
  - 波特率可编程到 64K 不同的速率
- 数据字格式:
  - 1 起始位
  - 数据字长可编程从 1 到 8 位

- 可选偶数/奇数/无奇偶 校验位
- 1 或 2 个停止位
- 4 个错误检测标志:奇偶校验, 溢出, 帧格式和中断检测
- 两种唤醒多处理器模式:空闲唤醒 (idle-line) 地址位 (address-bit)
- 半双工或全双工操作
- 双缓冲接收和发送功能
- 发射器和接收器操作可以通过带有状态标志的中断驱动或轮询算法来完成
  - 发射器:TXRDY 标志(发射器-缓冲寄存器准备接收另一个字符 char)和 TX\_EMPTY 标志(发射器-移位寄存器为空)
  - 接收器:RXRDY 标志(接收缓冲区寄存器准备接收另一个字符 char), BRKDT 标志(中断条件发生), RX\_ERROR 标志(监控四种中断条件)
- 独立的发射机和接收机的中断使能位(BRKDT 除外)
- NRZ 格式
- 自动波特检测硬件逻辑
- 16 级发送和接收 FIFO

**注意** :此模块中的所有寄存器都是 8 位寄存器。当访问寄存器时, 寄存器数据位于低字节(位 7-0), 高字节(位 15-8)被读取为零。写入高字节没有效果。

SCI 框图如图 7-56 所示。

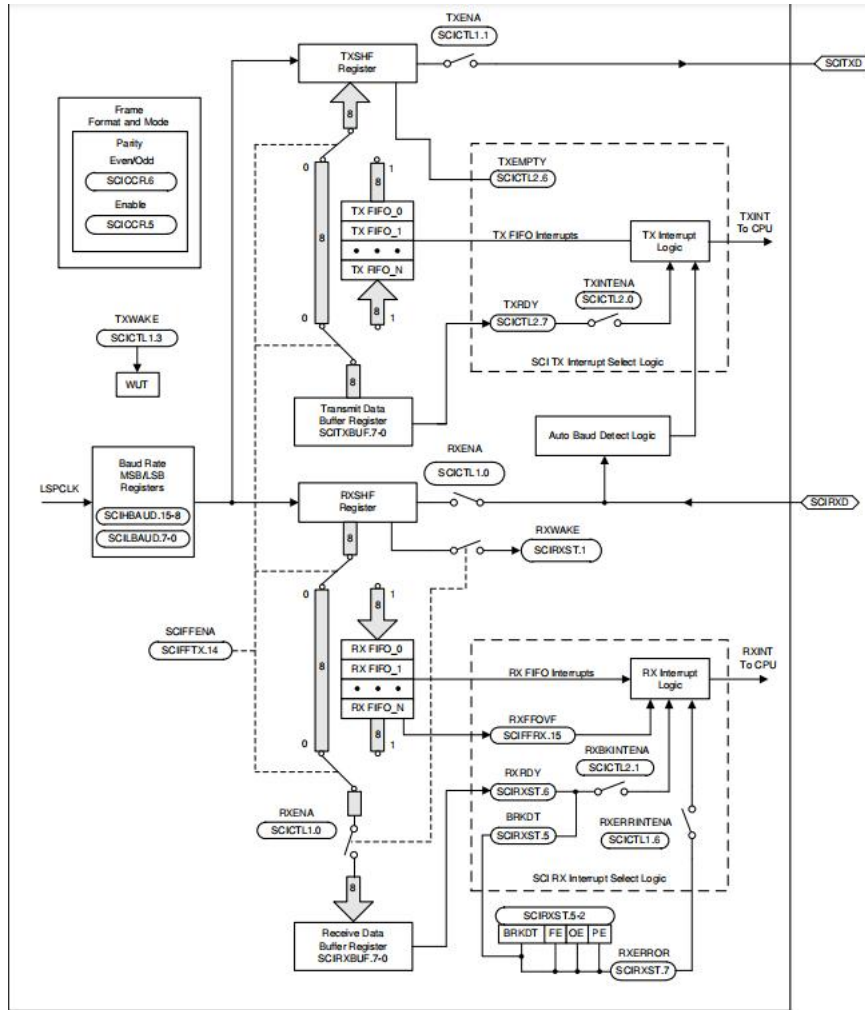


图 5-56. SCI 框图

### 5.12.5 串行外设接口 (SPI)

串行外设接口 (SPI) 是一个高速同步串行输入和输出 (I/O) 端口, 允许一个可编程长度 (1~16 位) 的串行比特流被移进和移出设备, 可根据配置的传输速率传输。SPI 通常用于 DSP 控制器与外设或其他控制器之间的通信。典型的应用包括通过移位寄存器、显示驱动和模数转换器 (ADC 等) 设备进行外部 I/O 或外围扩展。SPI 的主或从运行支持多设备通信。支持 16 级收发 FIFO, 可减少 CPU 工作开销。

SPI 模块的特点包括:

- SPISOMI: SPI 从输出/主输入引脚
- SPISIMO: SPI 从输入/主输出引脚
- SPISTE: SPI 从传输使能引脚

- SPICLK: SPI 串行时钟引脚
- 两种操作模式:主和从
- 波特率:125 个不同的可编程速率。可用的最大波特率受限于 SPI 引脚上 I/O 缓冲区的最大速度。
- 数据字长:1 ~ 16 位
- 四种时钟策略(由时钟极性和时钟相位位控制)包括:
  - 无相位延迟下降沿: SPICLK 高电平有效。SPI 在 SPICLK 信号的下降沿传输数据, 在 SPICLK 信号的上升沿接收数据。
  - 有相位延迟下降沿: SPICLK 高电平有效。SPI 在 SPICLK 信号下降沿前半个周期发送数据, 在 SPICLK 信号的下降沿接收数据。
  - 无相位延迟的上升沿: SPICLK 低电平无效。SPI 在 SPICLK 信号的上升沿发送数据, 在 SPICLK 信号的下降沿接收数据。
  - 有相位延迟的上升沿: SPICLK 低电平无效。SPI 在 SPICLK 信号上升沿前半个周期发送数据, 并在 SPICLK 信号上升沿接收数据。
- 同时进行收发操作(可在软件中禁用发送功能)
- 发送机和接收机操作通过中断驱动或轮询算法来完成
- 16 级 发送/接收 FIFO
- 支持 DMA
- 高速模式
- 延迟传输控制
- 3-线 SPI 模式
- $\overline{\text{SPISTE}}$  翻转用于 两个 SPI 模块的数字音频接口接收模式

SPI CPU 接口如图 5-57 所示。

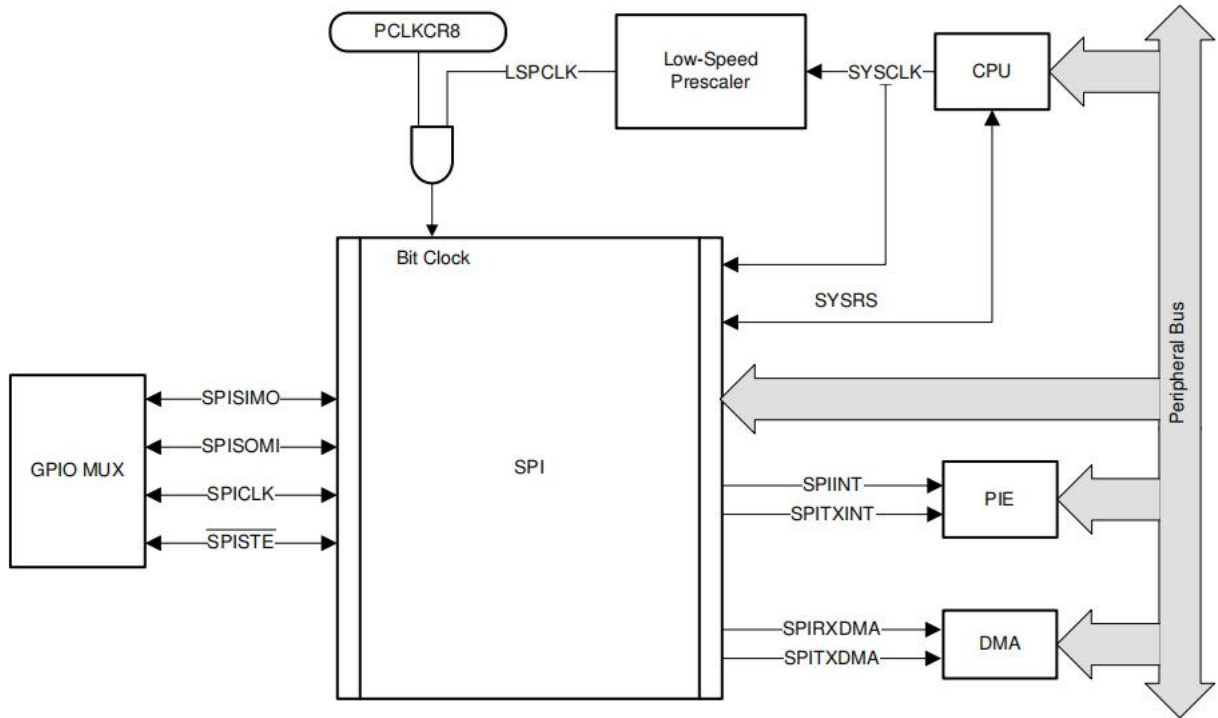


图 5-57. SPI CPU 接口

### 5.12.5.1 SPI 主模式时序

第 5.14.5.1.1 节列出了 SPI 主模式时序要求。

第 5.14.5.1.2 节列出了 SPI 主模式开关特性，其中时钟相位= 0。时钟相位为 0 的 SPI 主模式外部时序如图 7-58 所示。

第 5.14.5.1.3 节列出了时钟相位= 1 的 SPI 主模式切换特性。时钟相位为 1 的 SPI 主模式外部时序如图 7-59 所示。

注意

SPI 高速模式的所有定时参数在 SPICLK、SPISIMO 和 SPISOMI 上假定负载电容为 5pf。

#### 5.12.5.1.1 SPI 主模式定时要求

NO.			(BRR + 1) <sup>(1)</sup>	最小值	最大值	单位
高速模式						
8	$t_{su(SOMI)M}$	建立时间, SPISOMI 在 SPICLK 之前有效	偶数, 奇数	1		ns
9	$t_{h(SOMI)M}$	保持时间, SPISOMI 在 SPICLK 之后有效	偶数, 奇数	5		ns

正常模式					
8	$t_{su(SOMI)M}$	建立时间, SPISOMI 在 SPICLK 之前有效	偶数, 奇数	15	ns
9	$t_h(SOMI)M$	保持时间, SPISOMI 在 SPICLK 之后有效	偶数, 奇数		ns

(1) 当(SPIBRR + 1)为偶数或 SPIBRR 为 0 或 2 时, (BRR + 1)条件为偶数。当(SPIBRR + 1)为奇数且 SPIBRR 大于 3 时为奇数。

### 5.12.5.1.2 SPI 主模式开关特性(时钟相位= 0)

超过推荐运行条件 (除非另有说明)

NO.	参数	(BRR + 1) <sup>(1)</sup>	最小值	最大值	单位	
<b>通用</b>						
1	$t_c(SPC)M$	周期时间, SPICLK	偶数	$4t_c(LSPCLK)$	$128t_c(LSPCLK)$	ns
			奇数	$5t_c(LSPCLK)$	$127t_c(LSPCLK)$	
2	$t_w(SPC1)M$	脉冲持续时间, SPICLK, 第一个脉冲	偶数	$0.5t_c(SPC)M - 1$	$0.5t_c(SPC)M + 1$	ns
			奇数	$0.5t_c(SPC)M + 0.5t_c(LSPCLK) - 1$	$0.5t_c(SPC)M + 0.5t_c(LSPCLK) + 1$	
3	$t_w(SPC2)M$	脉冲持续时间, SPICLK, 第二个脉冲	偶数	$0.5t_c(SPC)M - 1$	$0.5t_c(SPC)M + 1$	ns
			奇数	$0.5t_c(SPC)M - 0.5t_c(LSPCLK) - 1$	$0.5t_c(SPC)M - 0.5t_c(LSPCLK) + 1$	
23	$t_d(SPC)M$	延迟时间, SPISTE 到 SPICLK 有效	偶数	$1.5t_c(SPC)M - 3t_c(SYSCLK) - 3$	$1.5t_c(SPC)M - 3t_c(SYSCLK) + 3$	ns
			奇数	$1.5t_c(SPC)M - 4t_c(SYSCLK) - 3$	$1.5t_c(SPC)M - 4t_c(SYSCLK) + 3$	
24	$t_v(STE)M$	有效时间, SPICLK 到 SPISTE 无效	偶数	$0.5t_c(SPC)M - 3$	$0.5t_c(SPC)M + 3$	ns
			奇数	$0.5t_c(SPC)M - 0.5t_c(LSPCLK) - 3$	$0.5t_c(SPC)M - 0.5t_c(LSPCLK) + 3$	
<b>高速模式</b>						
4	$t_d(SIMO)M$	延迟时间, SPICLK 到 SPISIMO 有效	偶数, 奇数		1	ns
5	$t_v(SIMO)M$	有效时间, 在 SPICLK 后 SPISIMO 有效	偶数	$0.5t_c(SPC)M - 3$		ns
			奇数	$0.5t_c(SPC)M - 0.5t_c(LSPCLK) - 3$		
<b>普通模式</b>						
4	$t_d(SIMO)M$	延迟时间, SPICLK 到 SPISIMO 有效	偶数, 奇数		1	ns
5	$t_v(SIMO)M$	有效时间, 在 SPICLK 后 SPISIMO 有效	偶数	$0.5t_c(SPC)M - 3$		ns
			奇数	$0.5t_c(SPC)M - 0.5t_c(LSPCLK) - 3$		

(1) 当(SPIBRR + 1)为偶数或 SPIBRR 为 0 或 2 时, (BRR + 1)为偶数。当(SPIBRR + 1)为奇数且 SPIBRR 大于 3 时为奇数。

### 5.12.5.1.3 SPI 主模式开关特性(时钟相位= 1)

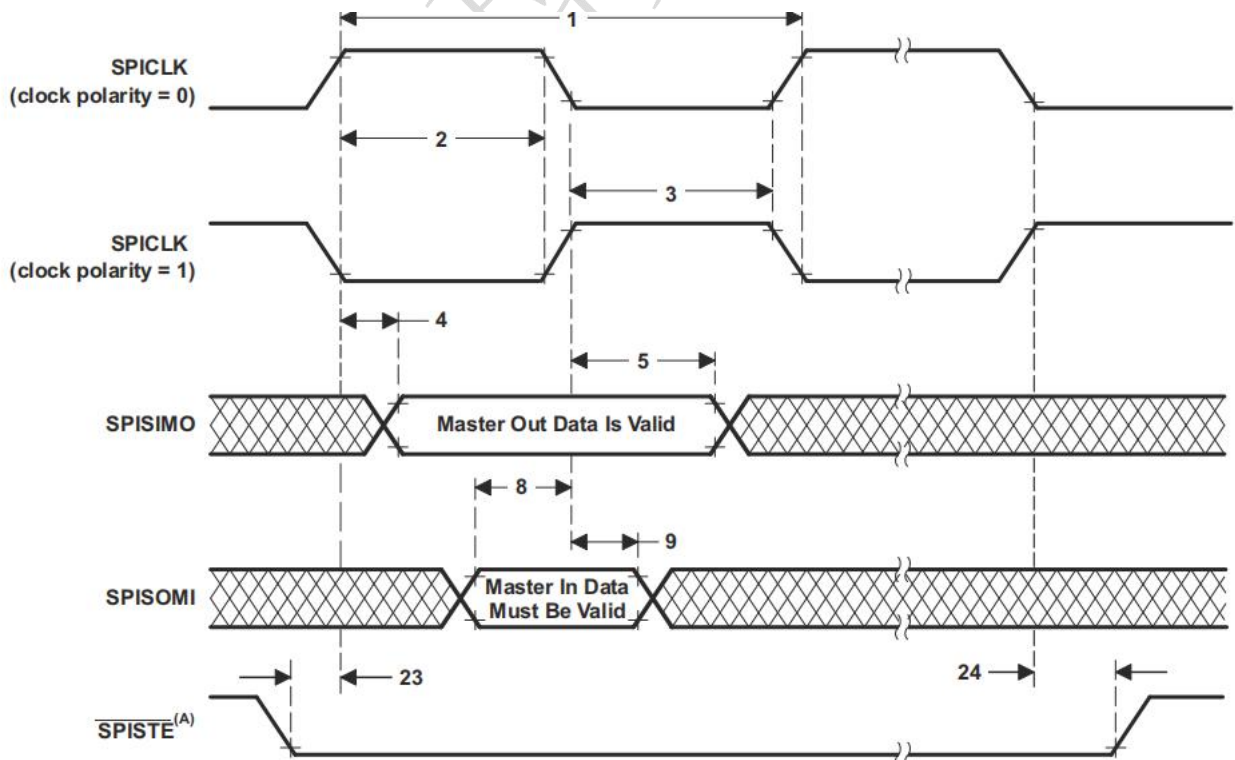
超过推荐运行条件 (除非另有说明)

NO.	参数	(BRR + 1)	最小	最大值	单位	
<b>通用</b>						
1	$t_c(SPC)M$	周期时间, SPICLK	偶数	$4t_c(LSPCLK)$	$128t_c(LSPCLK)$	ns
			奇数	$5t_c(LSPCLK)$	$127t_c(LSPCLK)$	

2	$t_{w(SPCH)M}$	脉冲持续时间, SPICLK,第一脉冲	偶数	$0.5t_{c(SPC)M} - 1$	$0.5t_{c(SPC)M} + 1$	ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 1$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 1$	
3	$t_{w(SPC2)M}$	脉冲持续时间, SPICLK,第二脉冲	偶数	$0.5t_{c(SPC)M} - 1$	$0.5t_{c(SPC)M} + 1$	ns
			奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 1$	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} + 1$	
23	$t_{d(SPC)M}$	延迟时间, $\overline{SPISTE}$ 到 SPICLK 有效	偶数, 奇数	$2t_{c(SPC)M} - 3t_{c(SYSCLK)} - 3$	$2t_{c(SPC)M} - 3t_{c(SYSCLK)} + 2$	ns
24	$t_{d(STE)M}$	延迟时间, SPICLK 到 $\overline{SPISTE}$ 无效	偶数	-3	2	ns
			奇数	-3	2	
<b>高速模式</b>						
4	$t_{d(SIMO)M}$	延迟时间, SPISIMO 到 SPICLK 为有效	偶数	$0.5t_{c(SPC)M} - 2$		ns
			奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 2$		
5	$t_{v(SIMO)M}$	有效时间, SPISIMO 在 SPICLK 后 SPISIMO 有效	偶数	$0.5t_{c(SPC)M} - 3$		ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 3$		
<b>普通模式</b>						
4	$t_{d(SIMO)M}$	延迟时间, SPISIMO 到 SPICLK 为有效	偶数	$0.5t_{c(SPC)M} - 2$		ns
			奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 2$		
5	$t_{v(SIMO)M}$	有效时间, 在 SPICLK 之后 SPISIMO 有效	偶数	$0.5t_{c(SPC)M} - 3$		ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 3$		

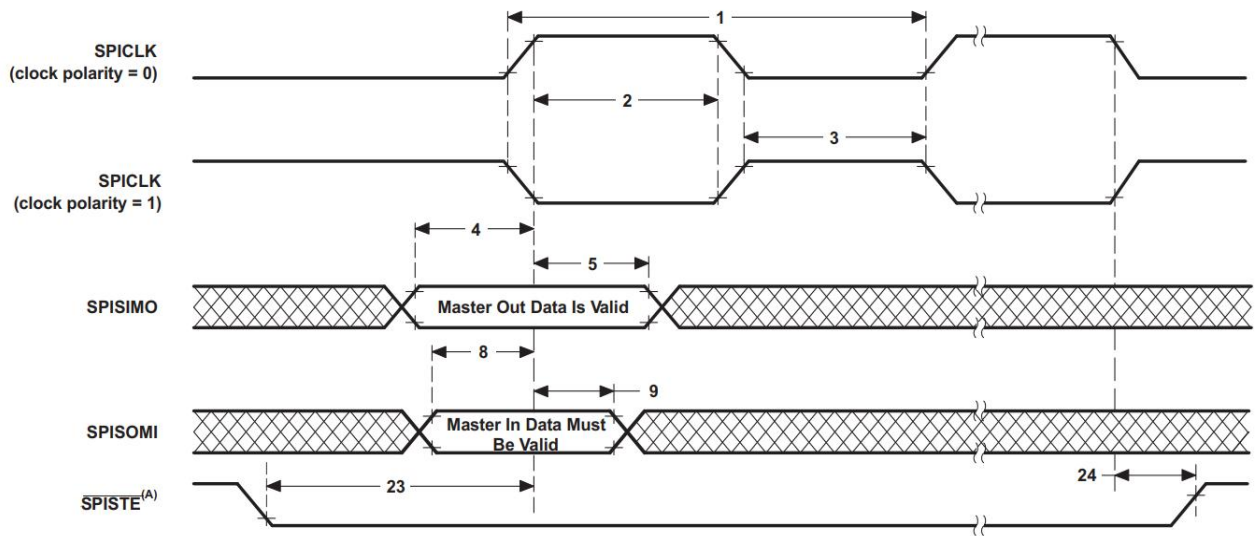
(1) 当  $(SPIBRR + 1)$  为偶数或  $SPIBRR$  为 0 或 2 时,  $(BRR + 1)$  为偶数。当  $(SPIBRR + 1)$  为奇数且  $SPIBRR$  大于 3 时为奇数。

#### 5.12.5.1.4 SPI 主模式时序图



A. 在字段的尾端, 在 FIFO 和非 FIFO 模式下的除非连续发送字,  $\overline{SPISTE}$  处于非活动状态。

图 5-58. 主模式外部时序(时钟相位 = 0)



A. 在字的尾端，除了在 FIFO 和非 FIFO 模式下的背对背传输单词之间，SPISTE 将处于非活动状态。

图 5-59. SPI 主模式外部时序 (时钟相位 = 1)

## 5.12.6 SPI 从模式时序

下面的部分包含 SPI 从模式时序。

章节 5.14.5.2.1 列出了 SPI 从模式时序要求。章节 5.14.5.2.2 列出了 SPI 从模式开关特性。

时钟相位为 0 的 SPI 从模式外部时序如图 5-60 所示。时钟相位为 1 的 SPI 从模式外部时序如图 5-61 所示。

### 5.12.6.1.1 SPI 从模式时序要求

NO.	参数		最小值	最大值	单位
12	$t_c(\text{SPC})_S$	周期时间, SPICLK		$4t_c(\text{SYSCLK})$	ns
13	$t_w(\text{SPC1})_S$	脉冲持续时间, SPICLK, 第一脉冲		$2t_c(\text{SYSCLK}) - 1$	ns
14	$t_w(\text{SPC2})_S$	脉冲持续时间, SPICLK, 第二脉冲		$2t_c(\text{SYSCLK}) - 1$	ns
19	$t_{su}(\text{SIMO})_S$	建立时间, 在 SPICLK 之前 SPISIMO 有效		$1.5t_c(\text{SYSCLK})$	ns
20	$t_h(\text{SIMO})_S$	保持时间, 在 SPICLK 之后 SPISIMO 有效		$1.5t_c(\text{SYSCLK})$	ns
25	$t_{su}(\text{STE})_S$	建立时间, 在 SPICLK 之前 $\overline{\text{SPISTE}}$ 有效(时钟相位 = 0)		$2t_c(\text{SYSCLK}) + 3$	ns
		建立时间, 在 SPICLK 之前 $\overline{\text{SPISTE}}$ 有效(时钟相位 = 1)		$2t_c(\text{SYSCLK}) + 23$	ns
26	$t_h(\text{STE})_S$	保持时间, 在 SPICLK 之后 $\overline{\text{SPISTE}}$ 无效		$1.5t_c(\text{SYSCLK})$	ns

### 5.12.6.1.2 SPI 从模式开关特性

超过推荐运行条件（除非另做说明）

NO.	参数	最小值	最大值	单位
15	$t_{d(SOMI)S}$	延迟时间, SPICLK 到 SPISOMI 有效	12	ns
16	$t_{v(SOMI)S}$	有效时间, 在 SPICLK 之后 SPISOMI 有效	0	ns

### 5.12.6.1.3 SPI 从模式时序图

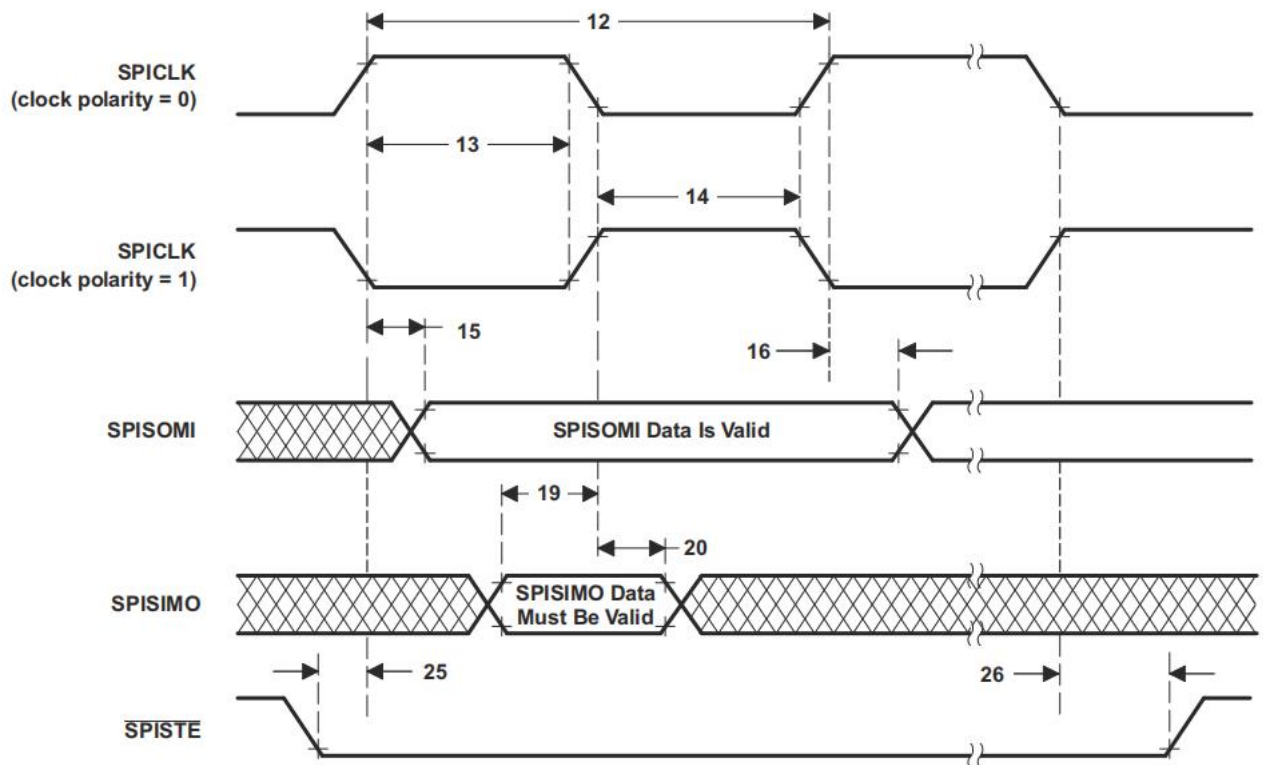


图 5-60. SPI 从模式外部时序 (时钟相位 = 0)

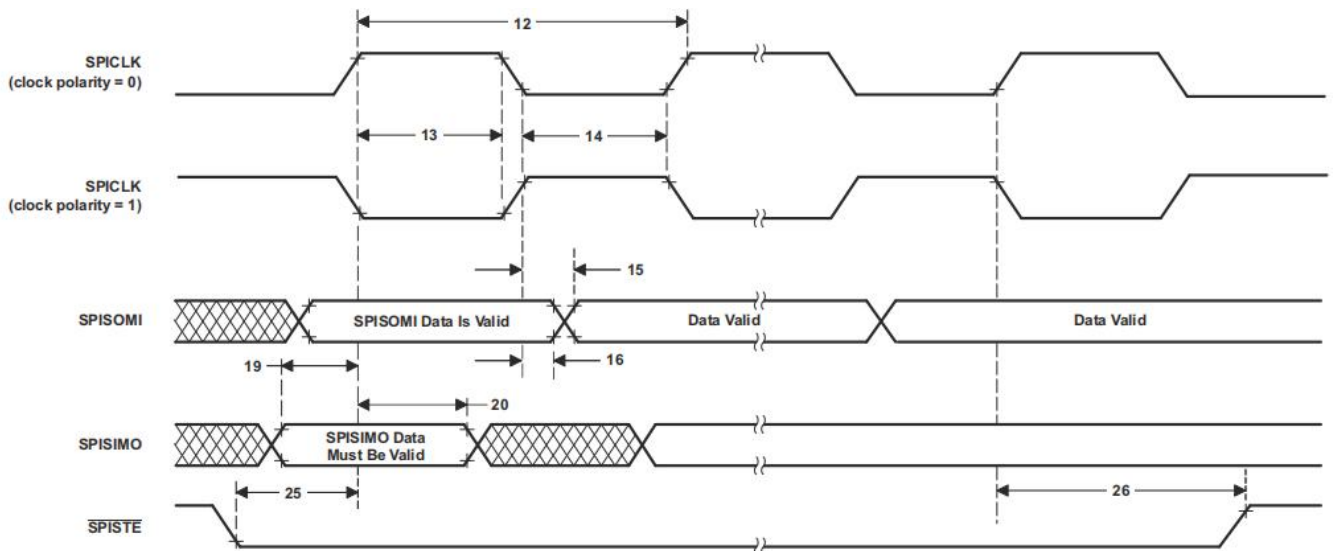


图 5-61. SPI 从模式外部时序 (时钟相位 = 1)

## 5.12.7 本地互连网络 (LIN)

本设备包含一个 LIN (Local Interconnect Network) 模块。LIN 模块遵循 LIN 规范包修订 2.1 定义的 LIN 2.1 标准。LIN 是一种低成本串行接口，由于 CAN 协议可能太昂贵而无法应用从而设计出 LIN，例如用于机舱舒适功能的小型子网，如汽车应用中的室内照明或窗户控制。

LIN 标准基于 SCI (UART) 串行数据链格式。通信概念为单主多从，并带有消息标识，可在任何网络节点之间进行多播传输。LIN 模块可以编程为 SCI 或 LIN，因为模块的核心是 SCI。硬件特性是 SCI 被增强以实现 LIN 兼容性。SCI 模块是一个通用的异步收发器 (UART)，它实现了标准的非归零 NRTZ 格式。虽然寄存器对于 LIN 和 SCI 是共用的，但在不同模式下的寄存器/位有特定标识。因此，为这个模块编写的代码不能直接移植到独立的 SCI 模块，反之亦然。

LIN 模块具有以下特点:

- 兼容 LIN 1.3、2.0 和 2.1 协议
- 可配置波特率最高达到 20 kbps(根据 LIN 2.1 协议)
- 两个外部引脚: LINRX 和 LINTX
- 多缓冲接收和发送单元
- 用于消息过滤的 ID 掩码
- 自动生成主报头
  - 可编程同步间隔字段

- 同步字段
- 标识字段
- 从站自动同步
  - 同步间隔检测
  - 可选波特率更新
  - 同步检验
- $2^{31}$  可编程传输速率使用 7 个小数位
- 收发机中 LINRX 显性电平唤醒
- 支持自动唤醒
  - 唤醒信号产生
  - 唤醒信号超时
- 自动总线空闲检测
- 错误检测
  - 位错误
  - 总线错误
  - 无响应错误
  - 校验和错误
  - 同步字段错误
  - 奇偶错误
- 能够使用直接内存访问(DMA)传输和接收数据
- 两条具有优先编码的中断线:
  - 接收
  - 发送
  - ID, 错误和状态
- 支持 LIN 2.0 校验和
- 增强的同步有限状态机(FSM)的帧处理
- 增强处理扩展帧
- 增强波特率发生器
- 升级唤醒/睡眠

LIN 框图如图 5-62 所示。

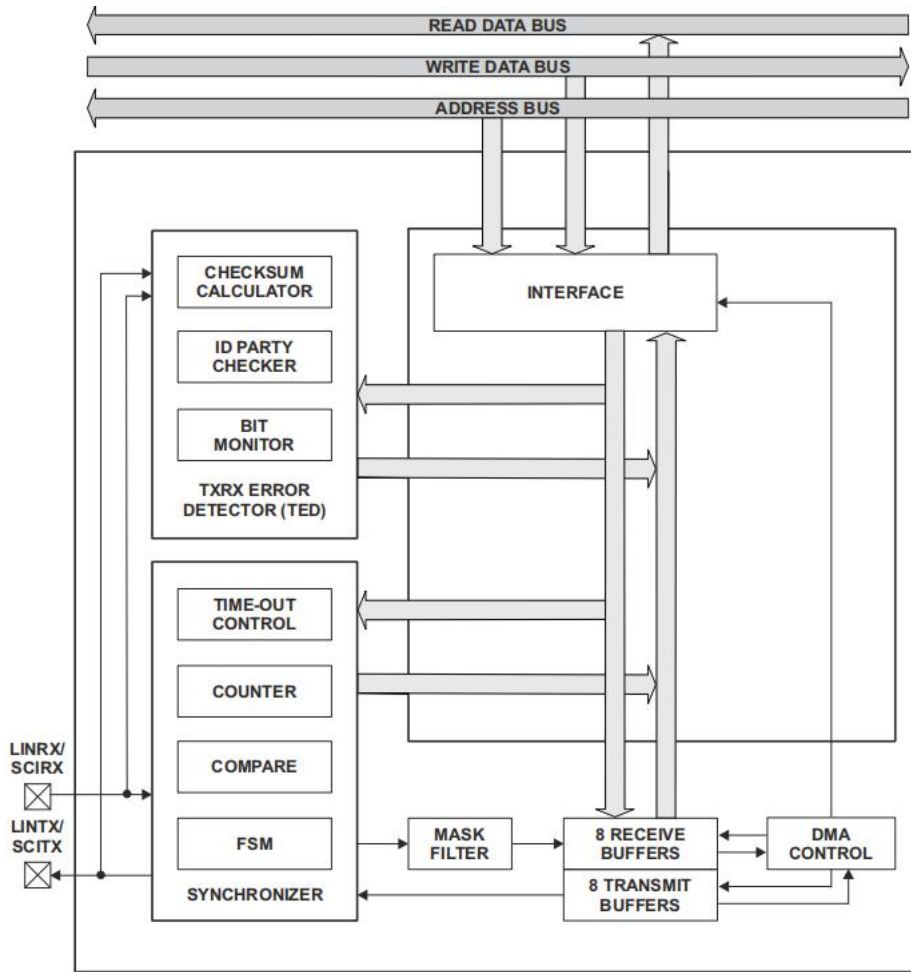


图 5-62. LIN 框图

### 5.12.8 快速串行接口 (FSI)

快速串行接口 (FSI) 模块是一种串行通信外设，能够实现可靠和稳固的高速通信。FSI 旨在确保在许多系统环境下的数据健壮性，例如芯片到芯片以及跨越隔离的板到板。负载完整性检查，如 CRC、帧开始和帧结束模式和用户定义的标记，在传输之前进行编码，然后在接收后进行验证，无需额外的 CPU 相互影响。换行可以通过周期性传输检测到，所有这些都由硬件管理和监控。FSI 还与设备上的其他控制外设紧密相连。为确保最新的传感器数据或控制参数可用，可以在每个控制循环周期传输帧。在接收器上增加了一个集成的偏离补偿块，以处理由于各种因素 (包括布线长度错配和隔离芯片引起的偏离) 在时钟和数据信号之间发生的偏离。通过嵌入式数据健壮性检查、数据链完整性检查、偏移补偿以及与集成控制外设，FSI 可以在任何系统中实现高速、健壮的通信。

FSI 模块包括以下特性:

- 独立的发射机和接收机核心
- 源同步传输
- 双数据速率(DDR)
- 一条或两条数据线
- 可编程的数据长度
- 偏移调整块可以补偿板级和系统延迟的不匹配
- 帧错误检测
- 用于消息过滤的可编程帧标签
- 在通信中硬件 ping 检测断行(ping 看门狗)
- 每个 FSI 核心有两个中断
- 外部触发帧生成
- 硬件或软件计算 CRC
- 嵌入式 ECC 计算模块
- 寄存器写入保护
- 支持 DMA
- SPI 兼容模式(可用的功能有限)

以最大速度(50 MHz)双数据速率(100 Mbps)运行 FSI 需要根据具体的操作条件对集成的偏离补偿块进行配置。FSI 由独立的发射机(FSITX)和接收机(FSIRX)组成。FSITX 和 FSIRX 核心是独立配置和运行的。

FSITX 和 FSIRX 的特性将分别在 5.14.8.1 节和 5.14.8.2 节中介绍。

### 5.12.8.1 FSI 发送器

FSI 传输模块处理数据的帧、生成 CRC、TXCLK、TXD0、TXD1 信号生成以及生成中断。通过可编程控制寄存器控制和配置发送器内核的操作。发射器控制寄存器允许 CPU 编程、控制和监管 FSI 发射机运行。传输数据缓冲区可由 CPU 和 DMA 访问。

该发送器具有以下特点:

- 自动生成 ping 帧

- 外部触发的 ping 帧
- 外部触发数据帧
- 软件可配置帧长度
- 16 字数据缓冲区
- 数据缓冲区不足和溢出检测
- 硬件生成 CRC 的数据位
- 选定数据进行软件 ECC 计算
- 支持 DMA

FSITX CPU 接口如图 5-63 所示。FSITX 的高级别框图如图 5-64 所示。没有展示所有的数据路径和内部连接。该图提供了 FSITX 中内部模块的高级别概述。

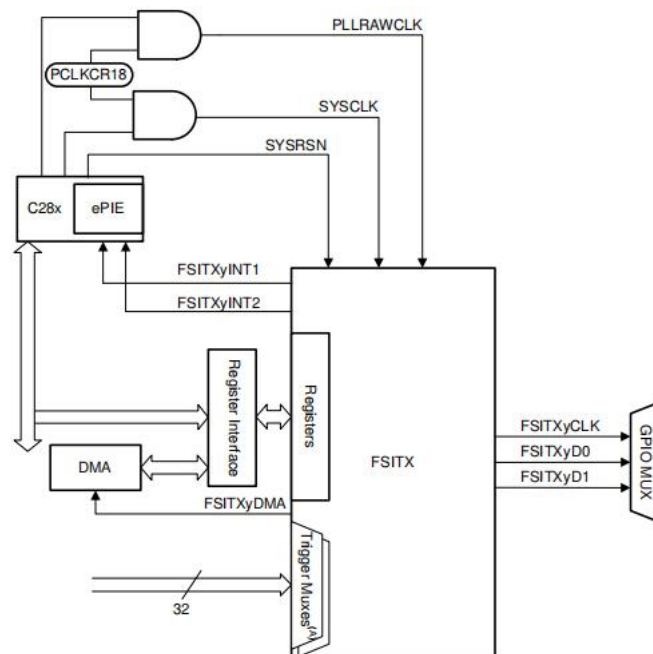


图 5-63. FSITX CPU 接口

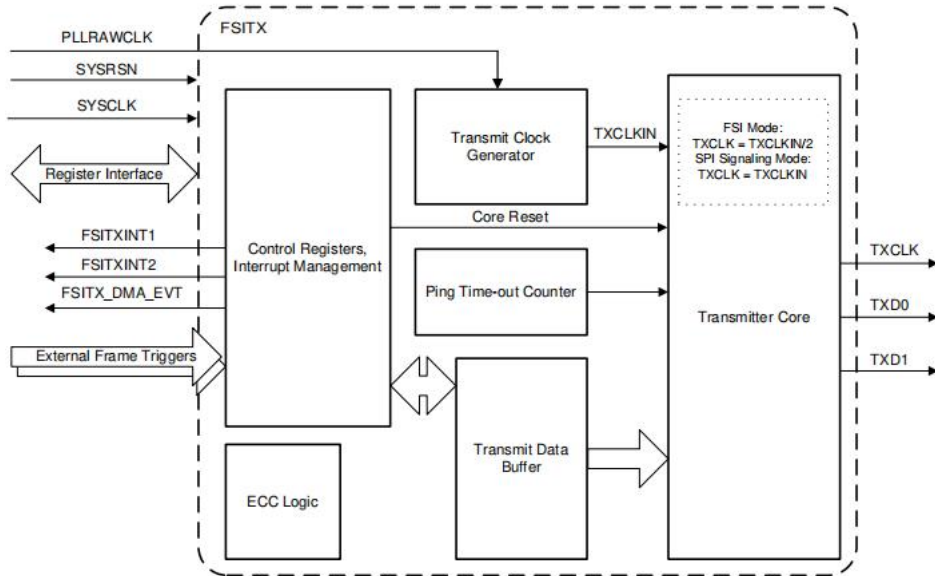


图 5-64. FSITX 框图

### 5.12.8.1.1 FSITX 电气特性和时序

章节 5.14.8.1.1.1 列出了 FSITX 的开关特性 FSITX 时序如图 5-65 所示。

### 5.12.8.1.2 FSITX 开关特性

超过操作无气流温度范围（除非另做说明）

NO.	参数	最小值	最大值	单位
1	$t_c(\text{TXCLK})$	周期时间, TXCLK	20	ns
2	$t_w(\text{TXCLK})$	脉冲宽度, TXCLK 低 或 TXCLK 高	$(0.5t_c(\text{TXCLK}) - 1)$ $(0.5t_c(\text{TXCLK}) + 1)$	ns
3	$t_d(\text{TXCLK-TXD})$	延迟时间, TXCLK 上升或下降到 TXD 有效	$(0.25t_c(\text{TXCLK}) - 2)$ $(0.25t_c(\text{TXCLK}) + 2)$	ns
TDM1	$t_{\text{skew}}(\text{TDM\_CLK-TDM\_Dx})$	TXCLK-TDM_CLK 延迟 和 TXDx-TDM_Dx 延迟之间引入偏移延迟	-2    2	ns

### 5.12.8.1.3 FSITX 时序

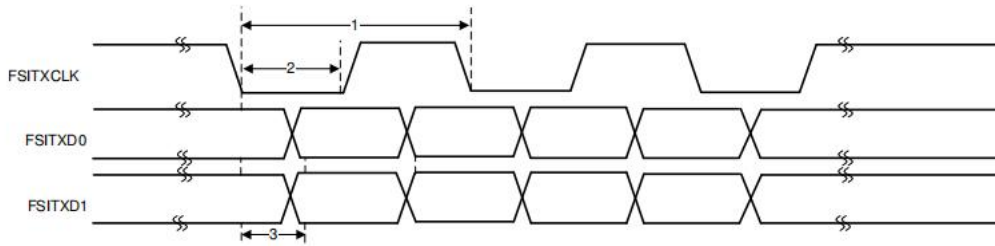


图 5-65. FSITX 时序

### 5.12.8.2 FSI 接收器

接收模块接口到 FSI 时钟 (RXCLK) 和数据线 (RXD0 和 RXD1) 后，通过一个可选的可编程延迟线。接收核心对数据帧、CRC 计算和帧相关的错误检查。接收端位时钟和状态机由 RXCLK 输入端运行，它与设备系统时钟是异步的。接收控制寄存器允许 CPU 编程、控制和监视 FSIRX 的操作。接收数据缓冲区可以被 CPU、HIC 和 DMA 访问。

接收内核有以下特性：

- 16 字数据缓冲区
- 支持多种帧类型
- Ping 帧看门狗
- 帧看门狗
- 硬件 CRC 计算和比较
- ECC 检测
- 传入信号的可编程延迟线控制
- 支持 DMA
- SPI 兼容模式

FSIRX CPU 接口如图 5-66 所示。图 5-67 提供了 FSIRX 内部模块的高级概述。没有展示所有的数据路径和内部连接。

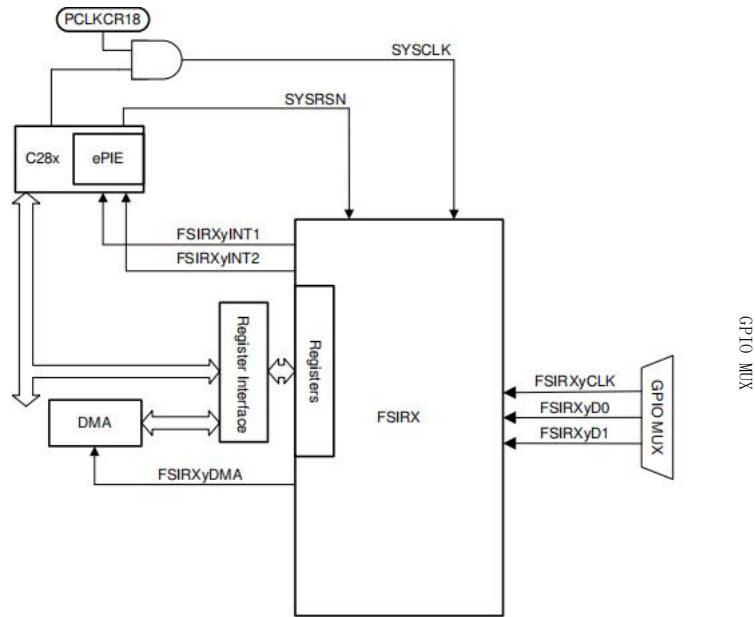


图 5-66. FSIRX CPU 接口

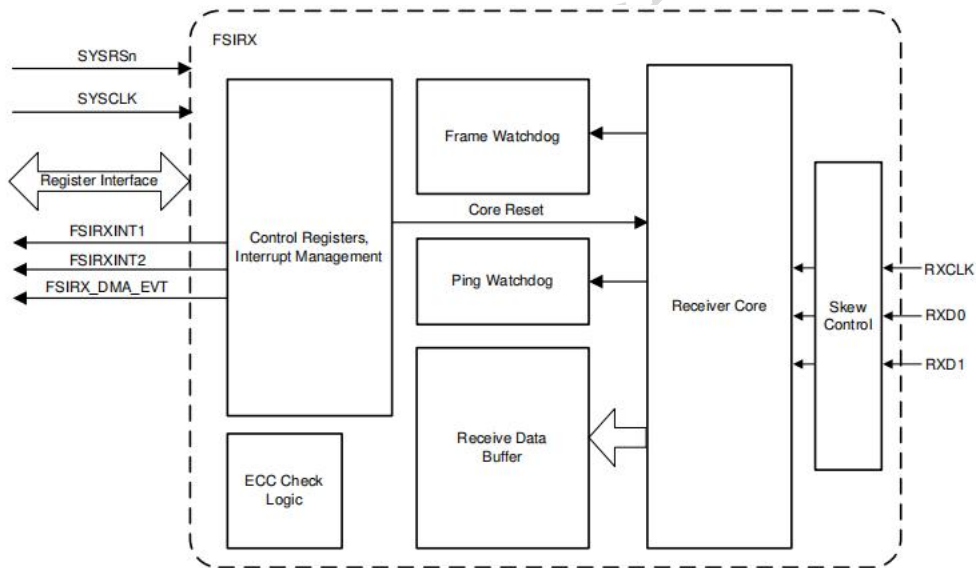


图 5-67. FSIRX 框图

### 5.12.8.3 FSIRX 电气特性和时序

章节 5.14.8.2.1.1 列出了 FSIRX 时序要求。章节 5.14.8.2.1.2 列出了 FSIRX 的开关特性。FSIRX 时序如图 5-68 所示。

#### 5.12.8.3.1 FSIRX 时序要求

NO.	参数		最小值	最大值	单位
1	$t_c(RXCLK)$	周期时间, RXCLK	20		ns

2	$t_w(\text{RXCLK})$	脉冲持续时间, RXCLK 低 或 RXCLK 高.	$0.5t_c(\text{RXCLK})$	$0.5t_c(\text{RXCLK})$	ns
3	$t_{su}(\text{RXCLK}-\text{RXD})$	关于 RXCLK 的建立时间, 适用于时钟两个边沿	1.7		ns
4	$t_h(\text{RXCLK} - \text{RXD})$	对于 RXCLK 保持时间, 适用于时钟的两个边沿	2		ns

### 5.12.8.3.2 FSIRX 开关特性

NO.	参数	最小值	最大值	单位
1	$t_d(\text{RXCLK})$ RX_DLYLINE_CTRL[RXCLK_DLY]=31 的 RXCLK 延迟补偿	25	37	ns
2	$t_d(\text{RXD0})$ RX_DLYLINE_CTRL[RXD0_DLY]=31 的 RXCLK0 延迟补偿	25	37	ns
3	$t_d(\text{RXD1})$ RX_DLYLINE_CTRL[RXD1_DLY]=31 的 RXCLK1 延迟补偿	25	37	ns
4	$t_d(\text{DELAY_ELEMENT})$ RXCLK, RXD0, RXD1 每个延迟线元素的增量 延迟	0.8	1.2	ns

### 5.12.8.3.3 FSIRX 时序

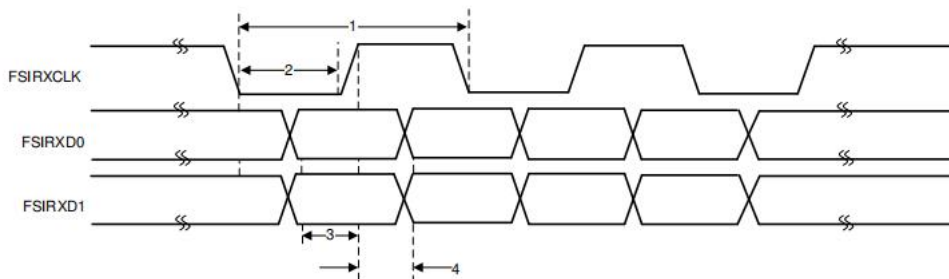


图 5-68. FSIRX 时序

### 5.12.8.4 FSI SPI 兼容模式

FSI 支持 SPI 兼容模式, 以实现与可编程 SPI 设备的通信。在这种模式下, FSI 在单时钟配置模式下以与 SPI 相同的方式传输数据。当 FSI 能够在这种模式下与 SPI 进行物理接口时, 外设必须能够对 FSI 帧进行编码和解码才能成功通信。因为 FSI 传输除前导码和后导码外的所有 SPI 帧相位。FSI 提供了与标准 FSI 模式相同的数据验证和帧检查, 允许在不消耗 CPU 周期的情况下进行更健壮的通信。外部 SPI 需要发送所有相关信息, 并可以访问标准的 FSI 功能, 如 FSIRX 上的 ping 帧看门狗、帧标记或自定义 CRC 值。

SPI 兼容模式的特性列表如下:

- 数据在时钟的上升沿上发送，在时钟的下降沿上接收。
- 只支持 16 位字
- TXD1 将像一个低电平有效的片选信号。在全帧传输期间，信号置低。
- 不需要接收器片选输入。RXD1 未被使用。数据在每个活动时钟边缘上转移到接收器。
- 不传送前置时钟或后置时钟。帧阶段结束后，所有信号返回空闲状态。
- 不可能在 SPI 从配置中传输，因为 FSI TXCLK 不能采用外部时钟源。

#### 5.12.8.4.1 FSITX SPI 信号模式电气特性和时序

章节 5.14.8.3.1.1 列出了 FSITX SPI 开关特性。FSITX SPI 信号模式时序如图 5-69 所示。在 SPI 信号模式下，FSIRX 不需要特殊的时序。第 5.14.8.2.1.1 节中列出的 FSIRX 时序适用于 SPI 兼容模式。建立时间和保持时间仅在 FSIRXCLK 的下降沿上有效，因为这是 SPI 信号模式中的活动边沿。

#### 5.12.8.4.2 FSITX SPI 信号模式开关特性

超过参考无气流温度范围（除非另做说明）

NO.	参数		最小值	最大值	单位
1	$t_c(\text{TXCLK})$	周期时间, TXCLK	20		ns
2	$t_w(\text{TXCLK})$	脉冲宽度, TXCLK 低 或 TXCLK 高	$(0.5t_c(\text{TXCLK})) - 1$	$(0.5t_c(\text{TXCLK})) + 1$	ns
3	$t_d(\text{TXCLKH-TXD0})$	延迟时间, TXCLK 高后 TXD0 有效		3	ns
4	$t_d(\text{TXD1-TXCLK})$	延迟时间, 在 TXD1 低之后 TXCLK 高	$t_w(\text{TXCLK}) - 3$		ns
5	$t_d(\text{TXCLK-TXD1})$	延迟时间, 在 TXCLK 低之后 TXD1 高	$t_w(\text{TXCLK})$		ns

#### 5.12.8.4.3 FSITX SPI 信号模式时序

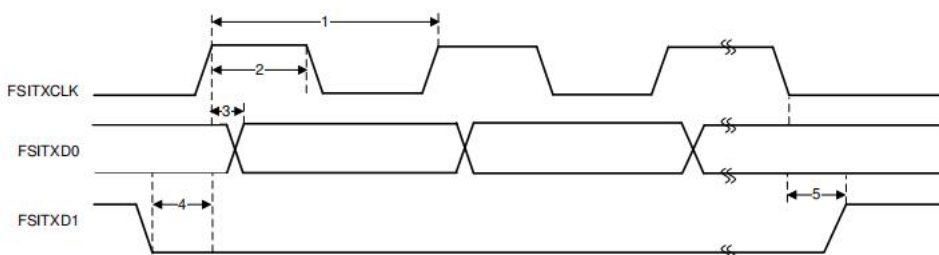


图 5-69. FSITX SPI 信号模式时序

## 5.12.9 主机接口控制器 (HIC)

HIC 模块允许外部主机控制器通过模拟 ASRAM 协议直接访问设备的资源。它有两种操作模式：直接访问和邮箱访问。直接访问是指外部主机直接对设备资源进行读写操作。在邮箱访问模式下，外部主机和设备对缓冲区进行读和写，并在缓冲区写/读完成时相互报告。出于安全原因，设备必须在外部主机访问 HIC 之前启用 HIC。HIC 模块框图如图 5-70 所示。

HIC 包括以下特性：

- 可配置 8 位和 16 位 I/O 数据线
- 直接访问和邮箱访问方式
- 8 个地址线和 8 个可配置的基址，总共 2048 个可寻址区域
- 使用邮箱访问模式时，用于外部主机和设备的 2 个 64 字节缓冲区
- 在缓冲区装满/清空时产生中断
- 高吞吐量
- 从其他外设触发 HIC 活动
- 从系统或接口的错误指示

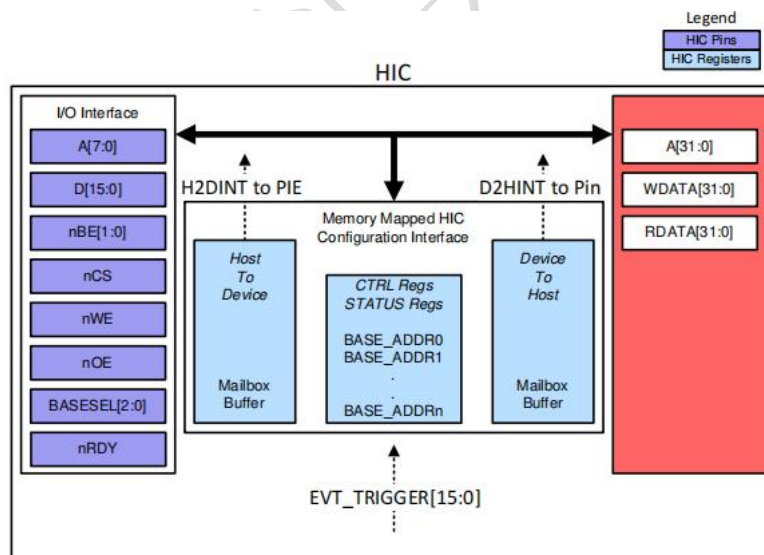


图 5-70. HIC 框图

### 5.12.9.1 HIC 电气特性和时序

章节 5.14.9.1.1 列出了 HIC 时序要求。章节 5.14.9.1.2 列出了 HIC 切换特性。nOE 和 nWE 引

脚的读写操作如图 5-71 所示。RnW 引脚的读写操作如图 5-72 所示。

### 5.12.9.1.1 HIC 时序要求

超过推荐无气流温度范围（除非另做说明）

REFID	参数		最小值	最大值	单位
<b>nOE 和 nWE 引脚的读写参数-双读写引脚</b>					
T1	$t_{su}(ABBV-OEV)$	建立时间, nOE 活动之前 A/BASESEL/nBE	0		ns
T2	$t_{su}(ABBV-WEV)$	建立时间, nWE 活动之前 A/BASESEL/nBE/RnW	0		ns
T3	$t_{su}(CSV-OEV)$	建立时间, nOE 活动之前的 nCS 活动	$0.5t_c(SYSCLK)$		ns
T4	$t_{su}(CSV-WEV)$	建立时间, nWE 活动之前的 nCS 活动	$0.5t_c(SYSCLK)$		ns
T5	$t_h(ABBV-OEIV)$	保持时间, nOE 不活动之后 A/BASESEL/nBE/nCS	6		ns
T6	$t_h(ABBV-WEIV)$	保持时间, nWE 不活动之后 A/BASESEL/nBE/nCS	6		ns
T7	$t_w(OEV)$	nOE (Read) <sup>(1)</sup> 的活动脉冲宽度 (读取)	$4t_c(SYSCLK)$		ns
T8	$t_w(WEV)$	nWE (Write)的活动脉冲宽度 (写入)	$4t_c(SYSCLK)$		ns
T9	$t_w(CSIV)$	nCS <sup>(2)</sup> 的非活动脉冲宽度	$3t_c(SYSCLK)$		ns
T10	$t_w(OEIV)$	nOE <sup>(2)</sup> 的非活动读取脉冲宽度	$3t_c(SYSCLK)$		ns
T11	$t_w(WEIV)$	nWE <sup>(2)</sup> 的非活动写入脉冲宽度	$3t_c(SYSCLK)$		ns
T12	$t_{su}(DV-WEV)$	建立时间, nWE 活动之前 D	0		ns
T13	$t_h(DV-WEIV)$	保持时间, nWE 非活动之后 D	6		ns
<b>RnW 引脚读写参数-单读写引脚</b>					
T14	$t_{su}(ABBV-CSV)$	建立时间, nCS 活动之前 A/BASESEL/nBE	0		ns
T15	$t_{su}(RNWV-CSV)$	建立时间, nCS 活动之前 A/BASESEL/nBE/RnW	$0.5t_c(SYSCLK)$		ns
T16	$t_h(ABBV-CSIV)$	保持时间, nCS 不活动之后的 A/BASESEL/nBE/RnW	6		ns
T17	$t_w(CSV\_RD)$	在 nCS 读操作 <sup>(1)</sup> 的活动脉冲宽度	$4t_c(SYSCLK)$		ns
T18	$t_w(CSV\_WR)$	在 nCS 写操作的活动脉冲宽度	$4t_c(SYSCLK)$		ns
T19	$t_w(CSIV)$	nCS <sup>(2)</sup> 的非活动脉冲宽度	$3t_c(SYSCLK)$		ns
T20	$t_w(RNWIV)$	RnW <sup>(2)</sup> 的非活动脉冲宽度	$3t_c(SYSCLK)$		ns
T21	$t_{su}(DV-CSV)$	建立时间, nCS 活动之前 D	0		ns
T22	$t_h(DV-CSIV)$	保持时间, nCS 活动之后 D	5		ns

(1) 访问设备区域, 额外需要 2 个 SYSCLK 周期。

(2) 使用 nRDY 引脚访问设备区域, 需要额外需要的 1 SYSCLK 周期

### 5.12.9.1.2 HIC 开关特性

超过推荐无气流温度范围（除非另作说明）

REFID	参数		最小值	最大值	单位
<b>使用 nOE 和 nWE 引脚读写参数</b>					
S1	$t_d(OEV-DV)$	输出数据延迟时间 : nOE 到 D 输出有效 <sup>(1)</sup>	$3t_c(SYSCLK)$	$4t_c(SYSCLK) + 14$	ns
S2	$t_d(OEIV-DIV)$	输出数据保持时间 : nOE 无效到 D 输出无效 (三态)	$1t_c(SYSCLK)$	$2t_c(SYSCLK) + 14$	ns
S3	$t_d(OEV-RDYV)$	读取准备延迟时间 : nOE 到 nRDY 输出有效	0	11	ns
S4	$t_d(WEV-RDYV)$	写入准备延迟时间 : nWE 到 nRDY 输出有效	0	11	ns
S5	$t_d(RDYV-DV)$	准备数据延迟时间 : nRDY 输出有效到 D 输出有效	-3	3	ns

S6	$t_w(\text{RDYACT})$	nRDY 输出的活动脉冲宽度	$2t_c(\text{SYSCLK})$	ns	
使用 RnW 引脚的读写参数					
S7	$t_d(\text{CSV-DV})$	输出延迟时间 : nCS 活动到 D 输出有效 <sup>(1)</sup>	$3t_c(\text{SYSCLK})$	$4t_c(\text{SYSCLK}) + 14$	ns
S8	$t_d(\text{CSIV-DIV})$	输出保持时间 : nCS 不活动到 D 输出无效 (三态)	$1t_c(\text{SYSCLK})$	$2t_c(\text{SYSCLK}) + 14$	ns
S9	$t_d(\text{CSV-RDYV})$	输出延迟时间 : nCS 到 nRDY 输出有效	0	11	ns
S10	$t_d(\text{RDYV-DV})$	准备数据延迟时间 : nRDY 输出有效 到 D 输出有效	-3	3	ns
S11	$t_w(\text{RDYACT})$	nRDY 输出的活动脉冲宽度	$2t_c(\text{SYSCLK})$	ns	

(1) 仅适用于访问邮箱。直接内存映射(设备)访问被 nRDY 引脚限制。

### 5.12.9.1.3 HIC 时序框图

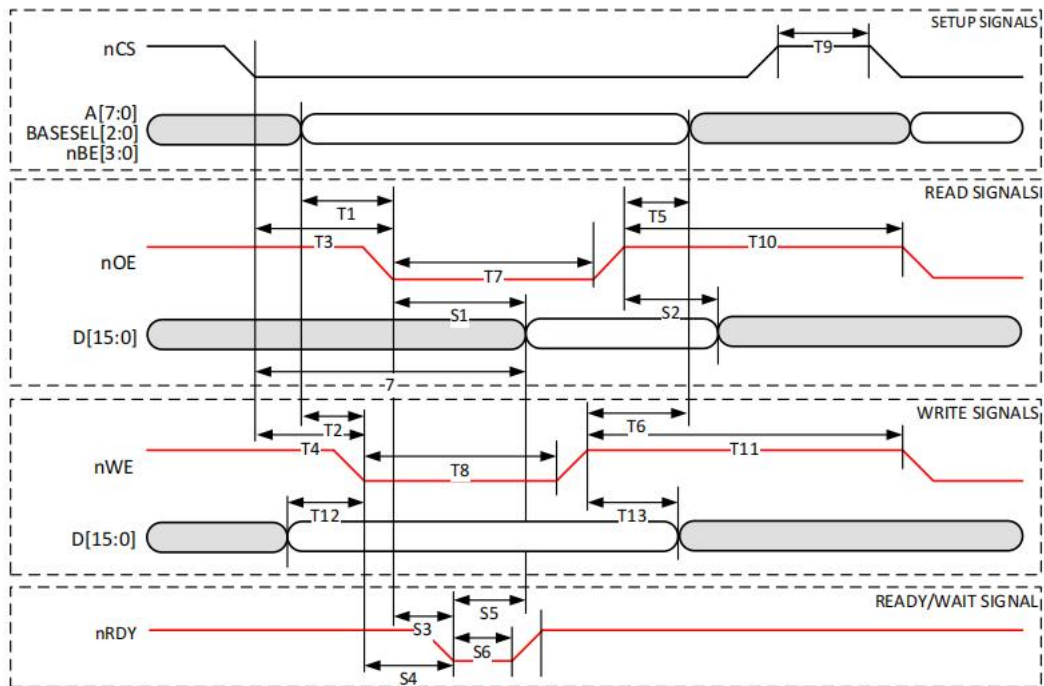


图 5-71. 使用 nOE 和 nWE 引脚读/写操作

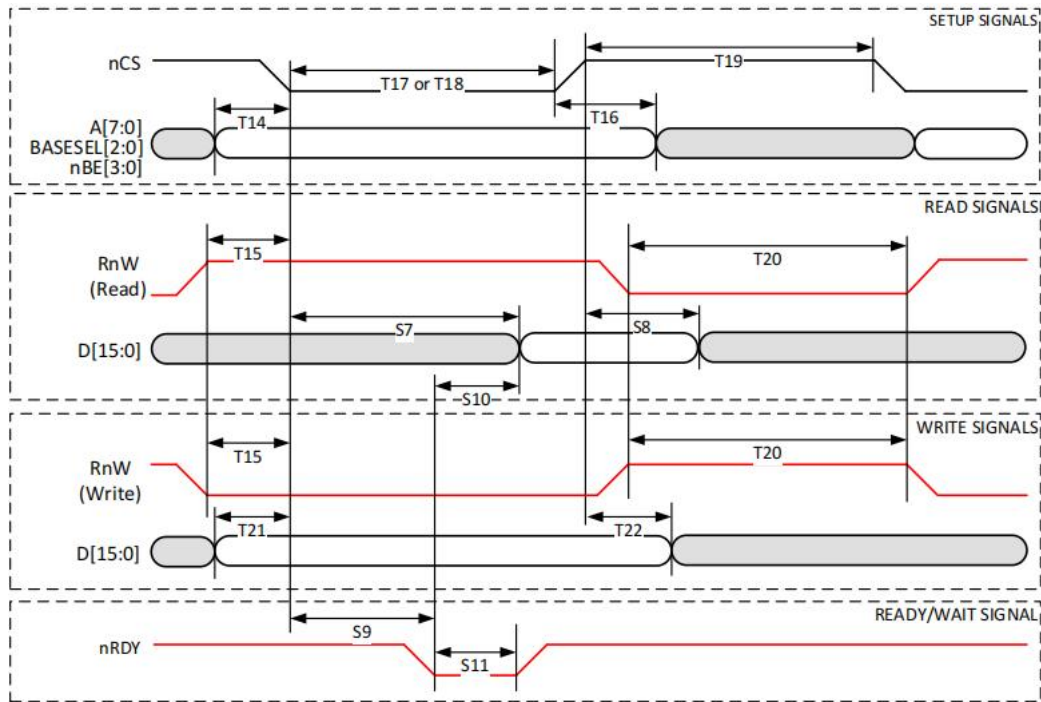


图 5-72. 使用 RnW 引脚读/写操作

## 5.12.10 内置音频总线 (I2S)

I2S 支持以下功能:

全双工 (发送和接受) 通信

允许连续数据流的双缓冲数据寄存器

数据传输从高有效位传输 (MSB)

数据左对齐, 支持串行数据延迟 0, 1 或 2 位

数据字长为 8, 10, 12, 14, 16, 18, 20, 24 或 32 位

时隙长度 (每个时隙的位数): 支持 8, 10, 12, 14, 16, 18, 20, 24, 32 位

能够将多个数据字导报到 CPU 或则 DMA 可访问的数据寄存器中, 以减少终端, 实现更高效的操

作

帧同步和 bit 串行时钟的可编程极性

数据从发送到接收数据寄存器的 loop-back 功能，用于应用程序代码调试。

立体声(在 i2s/左对齐或 DSP 数据格式)或单声道(在 DSP 数据格式和 TDM)模式。

支持主从模式，当用作主设备时，具有可编程的分频器，用于串行数据时钟(位时钟)和帧同步时钟(I2S\_FS)的生成。当用作从设备时，串行数据时钟(位时钟)和帧同步时钟来自于外部。

检测 over-run, under-run, 和帧同步错误情况。

TDM 发送模式，多通道发送/接收通道使能可选，支持 4/8/16 通道。

I2Sn\_FS 支持最高达 192kHz

TDM8 建议最高配置：

word/slot length:32bit

I2Sn\_FS :192KHz

I2S\_CLK: 49.152M

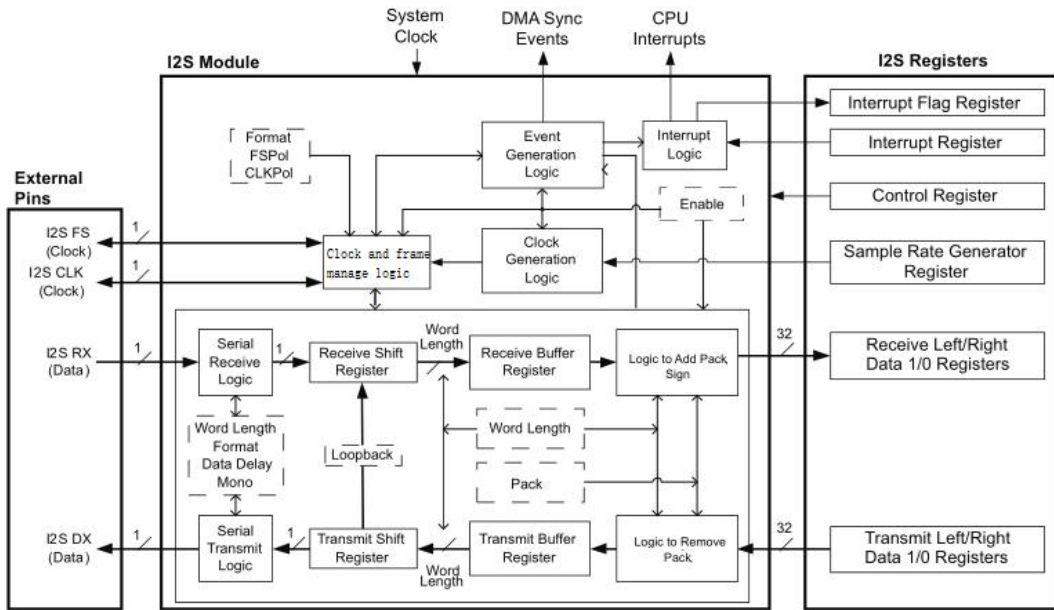
TDM16 建议配置：

word/slot length:32bit

I2Sn\_FS: 96KHz，若为 192K，则对应 I2S\_CLK 最少为 98.304M。

I2S\_CLK: 49.152M

I2S 模块框图如图所示



中科昊芯

## 6 详细描述

### 6.1 概述

HX2000 32 位 DSP 优化了传感和驱动，以提高实时控制应用中的闭环性能，如工业电机驱动；太阳能逆变器和数字电源；电动车辆及交通工具；电机控制；传感和信号处理。

HXS320F28002x (F28002x) 是一款功能强大的 32 位浮点 DSP，允许设计人员在单个设备上调试关键控制外设、差异化模拟和非易失寄存器。实时控制子系统 32 位 H28x CPU，提供 160MHz 的信号处理性能。新的 TMU 扩展指令集进一步提升了 H28x CPU 性能，它可以快速执行转换和转矩环计算中常见的三角运算算法；VCRC 扩展指令集减少了编码应用程序中常见的复杂数学运算的延迟。F28002x 单组最多支持 256KB (128KW) FLASH。高达 40KB (20KW) 的片上 SRAM，也可用 4KB (2KW) 的块有效进行的系统分区。还支持 Flash ECC，SRAM ECC/校验，和双区安全保障。

F28002x 集成实高性能模拟模块，进一步实现系统整合。两个独立的 12 位 adc 提供对多个模拟信号的精确高效管理，提高了系统运算吞吐量。四个模拟比较器模块提供连续监测输入电压水平的跳闸保护。包含业界领先的控制外设，具有频率非依赖的 ePWM/HRPWM 和 eCAP 模块实现一流的系统控制水平。通过支持各种行业标准通信端口(如 SPI、SCI、I2C、PMBus、LIN 和 CAN)，并提供多种复用选项，以在各种应用中实现最佳信号布局。HX2000 平台的新功能是主机接口控制器(HIC)，这是一个高吞吐量接口，允许外部主机访问 HXS320F28002x 的资源。此外，FSI 是能够实现高速、稳健的通信，以补充嵌入式设备中丰富的外设集合。

访问可配置逻辑块(CLB)以获得额外的接口特点，并且允许访问安全 ROM，其中包括一个启用 InstaSPIN-FOC™的库。嵌入式实时分析和诊断(ERAD)模块通过提供额外的硬件断点和计数器来增强设备的调试和系统分析能力。

### 6.2 功能框图

CPU 系统及其外设如图 6-1 所示。

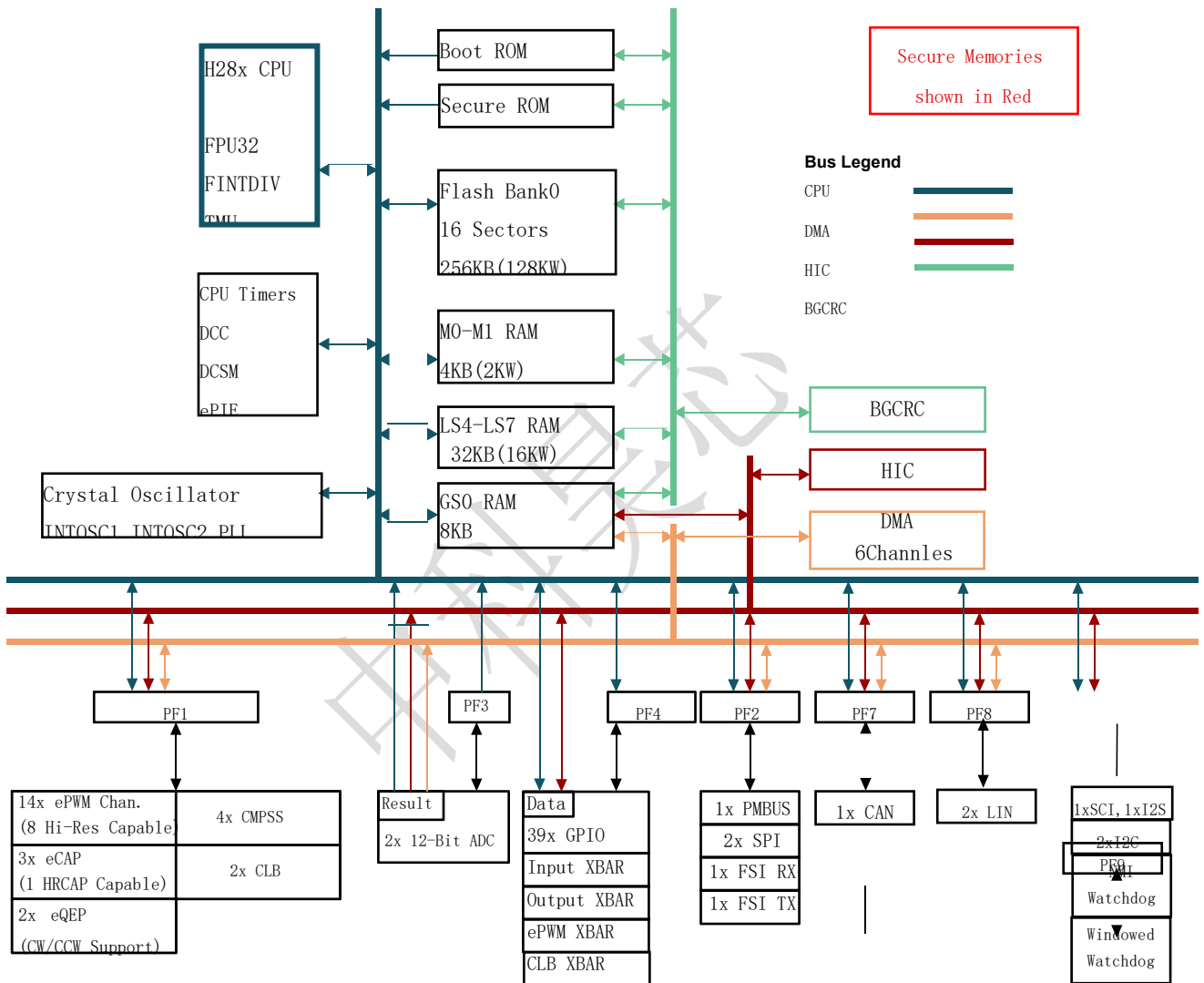


图 6-1. 功能框图

中科昊芯

## 6.3 内存

### 6.3.1 内存映射

表 6-1. 内存映射

内存	大小	开始地址	结束地址	HIC 访问	DMA 访问	ECC/ 奇偶校验	访问保护	安全性
M0 RAM	2K x 8	0x0000 0000	0x0000 07FF	-	-	ECC	Yes	-
M1 RAM	2K x 8	0x0000 0800	0x0000 0FFF	-	-	ECC	Yes	-
PieVectTable	2K x 8	0x0000 5800	0x0000 5FFF	-	-	-	-	-
LS4 RAM	8K x 8	0x0001 0000	0x0001 1FFF	-	-	ECC	Yes	Yes
LS5 RAM	8K x 8	0x0001 2000	0x0001 3FFF	-	-	ECC	Yes	Yes
LS6 RAM	8K x 8	0x0001 4000	0x0001 5FFF	-	-	ECC	Yes	Yes
LS7 RAM	8K x 8	0x0001 6000	0x0001 7FFF	-	-	ECC	Yes	Yes
GS0 RAM	8K x 8	0x0002 0000	0x0002 1FFF	Yes	Yes	Parity	Yes	-
CAN A Message RAM	1K x 8	0x0000 6400	0x0000 67FF	-	-	Parity	-	-
HX OTP <sup>(1)</sup>	2K x 8	0x007A 0800	0x007A 0FFF	-	-	ECC	-	-
User OTP	2K x 8	0x007A 0000	0x007A 07FF	-	-	ECC	-	Yes
Flash	256K x 8	0x0060 0000	0x0063 FFFF	-	-	ECC	-	Yes
Secure ROM	128K x 8	0x007C 0000	0x007D FFFF	-	-	Parity	-	Yes
Boot ROM	128K x 8	0x007E 0000	0x007F FFFF	-	-	Parity	-	-

(1) HX OTP 仅供 HX 内部使用。

#### 6.3.1.1 专用 RAM (Mx RAM)

CPU 子系统有两个专用的支持 ECC 的 RAM 块: M0 和 M1。这些内存是与 CPU 紧密耦合的不安全区域(只有 CPU 可以访问)。

#### 6.3.1.2 本地共享 RAM (LSx RAM)

本地共享 RAM (LSx RAMs) 可被 CPU 访问。所有 LSx RAM 块都有 ECC。这些内存是安全的, 具有 CPU 访问保护(CPU 写/CPU 取)。

### 6.3.1.3 全局共享 RAM (GSx RAM)

全局共享 RAM (GSx RAMs) 可从 CPU、HIC 和 DMA 访问。CPU、HIC 和 DMA 对这种内存具有完全的读写访问权。所有 GSx RAM 块都具有奇偶校验。GSx RAM 具有访问保护 (CPU 写入/CPU 提取/DMA 写入/HIC 写入)。

## 6.3.2 Flash 内存映射

在 F28002x 设备上有一个闪存 (256KB [128KW]) 可用。编程闪存的代码应该从 RAM 外执行，当正在擦除或程序操作进行时，不应该有任何形式访问 FLASH 库。可分配的 FLASH 扇区地址如表 8-2 所示。

### 6.3.2.1 Flash 扇区地址

表 6-2. FLASH 扇区地址

型号	扇区	地址		
		大小	开始	结束
<b>OTP 扇区</b>				
All F28002x	HX OTP	2K x 8	0x007A 0000	0x007A 07FF
	DCSM OTP	2K x 8	0x007A 0800	0x007A 0FFF
<b>Bank 0 扇区</b>				
All F28002x	Sector 0	16K x 8	0x0060 0000	0x0060 3FFF
	Sector 1	16K x 8	0x0060 4000	0x0060 7FFF
	Sector 2	16K x 8	0x0060 8000	0x0060 BFFF
	Sector 3	16K x 8	0x0060 C000	0x0060 FFFF
F280025	Sector 4	16K x 8	0x0061 0000	0x0061 3FFF
	Sector 5	16K x 8	0x0061 4000	0x0061 7FFF
	Sector 6	16K x 8	0x0061 8000	0x0061 BFFF
	Sector 7	16K x 8	0x0061 C000	0x0061 FFFF
F280025	Sector 8	16K x 8	0x0062 0000	0x0062 3FFF
	Sector 9	16K x 8	0x0062 4000	0x0062 7FFF
	Sector 10	16K x 8	0x0062 8000	0x0062 BFFF
	Sector 11	16K x 8	0x0062 C000	0x0062 FFFF

Sector 12	16K x 8	0x0063 0000	0x0063 3FFF
Sector 13	16K x 8	0x0063 4000	0x0063 7FFF
Sector 14	16K x 8	0x0063 8000	0x0063 BFFF
Sector 15	16K x 8	0x0063 C000	0x0063 FFFF

### 6.3.2.2 外设寄存器内存映射

外设寄存器内存映射表(H28x)如下:

表 6-3. 外设寄存器内存映射表 (H28x)

位域名称		DriverLib 名称	基地址	流水线保护	DMA 访问	HIC 访问
实例	结构体					
<b>外设框架 0 (PF0)</b>						
AdcaResultRegs	ADC_RESULT_REGS	ADCARESLT_BASE	0x0000_1940	-	YES	YES
AdccResultRegs	ADC_RESULT_REGS	ADCCRESLTT_BASE	0x0000_1d40	-	YES	YES
CpuTimer0Regs	CPUTIMER_REGS	CPUTIMER0_BASE	0x0000_5000	-	-	-
CpuTimer1Regs	CPUTIMER_REGS	CPUTIMER1_BASE	0x0000_5010	-	-	-
CpuTimer2Regs	CPUTIMER_REGS	CPUTIMER2_BASE	0x0000_5020	-	-	-
PieCtrlRegs	PIE_CTRL_REGS	PICTRL_BASE	0x0000_5100	-	-	-
DmaRegs	DMA_REGS	DMA_BASE	0x0000_3000	-	-	-
Dmach1Regs	DMA_CH_REGS	DMA_CH1_BASE	0x0000_3080	-	-	-
Dmach2Regs	DMA_CH_REGS	DMA_CH2_BASE	0x0000_3100	-	-	-
Dmach3Regs	DMA_CH_REGS	DMA_CH3_BASE	0x0000_3180	-	-	-
Dmach4Regs	DMA_CH_REGS	DMA_CH4_BASE	0x0000_3200	-	-	-
Dmach5Regs	DMA_CH_REGS	DMA_CH5_BASE	0x0000_3280	-	-	-
Dmach6Regs	DMA_CH_REGS	DMA_CH6_BASE	0x0000_3300	-	-	-
<b>外设框架 1 (PF1)</b>						
Clb1LogicCfgRegs	CLB_LOGIC_CONFIG_REGS	CLB1_LOGICCFG_BASE	0x0000_c000	-	YES	YES
Clb1LogicCtrlRegs	CLB_LOGIC_CONTROL_REGS	CLB1_LOGICCTRL_BASE	0x0000_c100	-	YES	YES
Clb1DataExchRegs	CLB_DATA_EXCHANGE_REGS	CLB1_DATAEXCH_BASE	0x0000_c180	-	YES	YES
Clb2LogicCfgRegs	CLB_LOGIC_CONFIG_REGS	CLB2_LOGICCFG_BASE	0x0000_c400	-	YES	YES
Clb1DataExchRegs	CLB_DATA_EXCHANGE_REGS	CLB1_DATAEXCH_BASE	0x0000_c500	-	YES	YES
Clb2LogicCfgRegs	CLB_LOGIC_CONFIG_REGS	CLB2_LOGICCFG_BASE	0x0000_c580	-	YES	YES
EPwm1Regs	EPWM_REGS	EPWM1_BASE	0x0000_a000	YES	YES	YES
EPwm2Regs	EPWM_REGS	EPWM2_BASE	0x0000_a400	YES	YES	YES
EPwm3Regs	EPWM_REGS	EPWM3_BASE	0x0000_a800	YES	YES	YES
EPwm4Regs	EPWM_REGS	EPWM4_BASE	0x0000_ac00	YES	YES	YES
EPwm5Regs	EPWM_REGS	EPWM5_BASE	0x0000_b000	YES	YES	YES
EPwm6Regs	EPWM_REGS	EPWM6_BASE	0x0000_b400	YES	YES	YES
EPwm7Regs	EPWM_REGS	EPWM7_BASE	0x0000_b800	YES	YES	YES
EQep1Regs	EQEP_REGS	EQEP1_BASE	0x0000_d000	YES	YES	YES
EQep2Regs	EQEP_REGS	EQEP2_BASE	0x0000_d140	YES	YES	YES
ECap1Regs	ECAP_REGS	ECAP1_BASE	0x0000_d400	YES	YES	YES
ECap2Regs	ECAP_REGS	ECAP2_BASE	0x0000_d480	YES	YES	YES
ECap3Regs	ECAP_REGS	ECAP3_BASE	0x0000_d500	YES	YES	YES
Hrcap3Regs	HRCAP_REGS	HRCAP3_BASE	0x0000_d780	YES	YES	YES
Cmpss1Regs	CMPSS_REGS	CMPSS1_BASE	0x0000_d800	YES	YES	YES
Cmpss2Regs	CMPSS_REGS	CMPSS2_BASE	0x0000_d880	YES	YES	YES

Cmpss3Regs	CMPSS_REGS	CMPSS3_BASE	0x0000_d900	YES	YES	YES
Cmpss4Regs	CMPSS_REGS	CMPSS4_BASE	0x0000_d980	YES	YES	YES
<b>外设框架 2 (PF2)</b>						
SpiaRegs	SPI_REGS	SPIA_BASE	0x0000_e100	YES	YES	YES
SpibRegs	SPI_REGS	SPIB_BASE	0x0000_e080	YES	YES	YES
BgcrCpuRegs	BGCRC_REGS	BGCRC_CPU_BASE	0x0000_3400	YES	YES	YES
PmbusaRegs	PMBUS_REGS	PMBUSA_BASE	0x0000_e400	YES	YES	YES
HicRegs	HIC_CFG_REGS	HIC_BASE	0x0000_2800	YES	YES	YES
FsiTxaRegs	FSI_TX_REGS	FSITXA_BASE	0x0000_ea00	YES	YES	YES
FsiRxaRegs	FSI_RX_REGS	FSIRXA_BASE	0x0000_e800	YES	YES	YES
<b>外设框架 3 (PF3)</b>						
AdcaRegs	ADC_REGS	ADCA_BASE	0x0000_1800	YES	-	-
AdccRegs	ADC_REGS	ADCC_BASE	0x0000_1c00	YES	-	-
<b>外设框架 4 (PF4)</b>						
InputXbarRegs	INPUT_XBAR_REGS	INPUTXBAR_BASE	0x0003_1000	YES	-	-
XbarRegs	XBAR_REGS	XBAR_BASE	0x0003_1080	YES	-	-
SyncSocRegs	SYNC_SOC_REGS	SYNCSOC_BASE	0x0003_8c00	YES	-	-
InputXbar2Regs	INPUT_XBAR_REGS	INPUTXBAR2_BASE		YES	-	-
DmaClaSrcSelRegs	DMA_CLA_SRC_SEL_REGS	DMACLASRCSEL_BASE	0x0003_8d00	YES	-	-
EPwmXbarRegs	EPWM_XBAR_REGS	EPWMXBAR_BASE	0x0003_1400	YES	-	-
ClbXbarRegs	CLB_XBAR_REGS	CLBXBAR_BASE	0x0003_1500	YES	-	-
OutputXbarRegs	OUTPUT_XBAR_REGS	OUTPUTXBAR_BASE	0x0003_1600	YES	-	-
OutputXbar2Regs	OUTPUT_XBAR_REGS	OUTPUTXBAR2_BASE	0x0003_7bc0	YES	-	-
GpioCtrlRegs	GPIO_CTRL_REGS	GPIOCTRL_BASE	0x0003_3800	YES	-	-
GpioDataRegs	GPIO_DATA_REGS	GPIODATA_BASE	0x0003_3e00	YES	-	-
GpioDataReadRegs	GPIO_DATA_READ_REGS	GPIODATAREAD_BASE	0x0003_3f00	YES	-	YES
<b>外设框架 5 (PF5)</b>						
DevCfgRegs	DEV_CFG_REGS	DEVCFG_BASE	0x0003_8600	YES	-	-
ClkCfgRegs	CLK_CFG_REGS	CLKCFG_BASE	0x0003_8000	YES	-	-
CpuSysRegs	CPU_SYS_REGS	CPUSYS_BASE	0x0003_8200	YES	-	-
PeriphAcRegs	PERIPH_AC_REGS	PERIPHAC_BASE	0x0003_8800	YES	-	-
AnalogSubsysRegs	ANALOG_SUBSYS_REGS	ANALOGSUBSYS_BASE	0x0003_9000	YES	-	-
DcsmBank0Z1Regs	DCSM_BANK0_Z1_REGS	DCSM_BANK0_Z1_BASE	0x0003_9400	YES	-	-
DcsmBank0Z2Regs	DCSM_BANK0_Z2_REGS	DCSM_BANK0_Z2_BASE	0x0003_9450	YES	-	-
DcsmCommonRegs	DCSM_COMMON_REGS	DCSMCOMMON_BASE	0x0003_94a0	YES	-	-
DcsmCommon2Regs	DCSM_COMMON2_REGS	DCSMCOMMON2_BASE		YES	-	-
<b>外设框架 6 (PF6)</b>						
MemCfgRegs	MEM_CFG_REGS	MEMCFG_BASE	0x0000_3800	YES	-	-
AccessProtectionRegs	ACCESSPROTECTION_REGS	ACCESSPROTECTION_BASE	0x0000_389c	YES	-	-
MemoryErrorRegs	MEMORY_ERROR_REGS	MEMORYERROR_BASE	0x0000_385c	YES	-	-
RomWaitStateRegs	ROM_WAIT_STATE_REGS	ROMWAITSTATE_BASE		YES	-	-
RomPrefetchRegs	ROM_PREFETCH_REGS	ROMPREFETCH_BASE		YES	-	-
Flash0CtrlRegs	FLASH_CTRL_REGS	FLASHOCTRL_BASE	0x007a_F000	YES	-	-
Flash0EccRegs	FLASH_ECC_REGS	FLASHOECCREGS_BASE	0x007a_F200	YES	-	-
<b>外设框架 7 (PF7)</b>						
CanaRegs	CAN_REGS	CANA_BASE	0x0000_6000	YES	YES	YES
CanaMboxRegs	CAN_MBOX	CANAMBOX_BASE	0x0000_6400	YES	YES	YES
HwbistRegs	HWBIST_REGS	HWBIST_BASE		YES	-	-
MpostRegs	MPOST_REGS	MPOST_BASE		YES	-	-
Dcc0Regs	DCC_REGS	DCC0_BASE	0x0000_3300	YES	-	-
Dcc1Regs	DCC_REGS	DCC1_BASE	0x0000_3308	YES	-	-
EradGlobalRegs	ERAD_GLOBAL_REGS	ERADGLOBAL_BASE	0x0003_2800	YES	-	-
EradHWBP1Regs	ERAD_HWBP_REGS	ERADHWBP1_BASE	0x0003_28fc	YES	-	-
EradHWBP2Regs	ERAD_HWBP_REGS	ERADHWBP2_BASE	0x0003_2910	YES	-	-

EradHWBP3Regs	ERAD_HWBP_REGS	ERADHWBP3_BASE	0x0003_2924	YES	-	-
EradHWBP4Regs	ERAD_HWBP_REGS	ERADHWBP4_BASE	0x0003_2938	YES	-	-
EradHWBP5Regs	ERAD_HWBP_REGS	ERADHWBP5_BASE	0x0003_294c	YES	-	-
EradHWBP6Regs	ERAD_HWBP_REGS	ERADHWBP6_BASE	0x0003_2960	YES	-	-
EradHWBP7Regs	ERAD_HWBP_REGS	ERADHWBP7_BASE	0x0003_2974	YES	-	-
EradHWBP8Regs	ERAD_HWBP_REGS	ERADHWBP8_BASE	0x0003_2988	YES	-	-
EradCounter1Regs	ERAD_COUNTER_REGS	ERADCOUNTER1_BASE	0x0003_299c	YES	-	-
EradCounter2Regs	ERAD_COUNTER_REGS	ERADCOUNTER2_BASE	0x0003_29c0	YES	-	-
EradCounter3Regs	ERAD_COUNTER_REGS	ERADCOUNTER3_BASE	0x0003_29e4	YES	-	-
EradCounter4Regs	ERAD_COUNTER_REGS	ERADCOUNTER4_BASE	0x0003_2a08	YES	-	-
EradCRCGlobalRegs	ERAD_CRC_GLOBAL_REGS	ERADCRCGLOBAL_BASE	0x0003_2a2c	YES	-	-
EradCRC1Regs	ERAD_CRC_REGS	ERADCRC1_BASE	0x0003_2a30	YES	-	-
EradCRC2Regs	ERAD_CRC_REGS	ERADCRC2_BASE	0x0003_2a3c	YES	-	-
EradCRC3Regs	ERAD_CRC_REGS	ERADCRC3_BASE	0x0003_2a48	YES	-	-
EradCRC4Regs	ERAD_CRC_REGS	ERADCRC4_BASE	0x0003_2a54	YES	-	-
EradCRC5Regs	ERAD_CRC_REGS	ERADCRC5_BASE	0x0003_2a60	YES	-	-
EradCRC6Regs	ERAD_CRC_REGS	ERADCRC6_BASE	0x0003_2a6c	YES	-	-
EradCRC7Regs	ERAD_CRC_REGS	ERADCRC7_BASE	0x0003_2a78	YES	-	-
EradCRC8Regs	ERAD_CRC_REGS	ERADCRC8_BASE	0x0003_2a84	YES	-	-
<b>外设框架 8 (PF8)</b>						
LinaRegs	LIN_REGS	LINA_BASE	0x0003_3400	YES	YES	YES
LinbRegs	LIN_REGS	LINB_BASE	0x0003_3480	YES	YES	YES
<b>外设框架 9 (PF9)</b>						
WdRegs	WD_REGS	WD_BASE	0x0003_8e00	YES	-	YES
NmiIntruptRegs	NMI_INTRUPT_REGS	NMI_BASE	0x0000_5300	YES	-	YES
XintRegs	XINT_REGS	XINT_BASE	0x0000_5200	YES	-	YES
SciaRegs	SCI_REGS	SCIA_BASE	0x0003_4400	YES	-	YES
I2caRegs	I2C_REGS	I2CA_BASE	0x0003_4800	YES	-	YES
I2cbRegs	I2C_REGS	I2CB_BASE	0x0003_4880	YES	-	YES

## 6.4 ID 识别

设备识别寄存器如表 6-4 所示。

表 6-4. 设备识别寄存器

名称	地址	大小 (x16)	描述
PARTIDH	0x007A 0FC0	24	设备部件标识号 HXS320F280025C                      0x04FF 0500
			硅片版本号 Revision 0                              0x0000 0000 Revision A                              0x0000 0001
UID_UNIQUE	0x007A 0FC6	4	唯一识别号码。这个数字在具有相同 PARTIDH 的每个设备上是不同的。这个唯一的号码可以在应用程序中用作序列号。这个数字只出现在 HXS 设备上。

## 6.5 总线架构-外设连接

外设连接表列出了每条总线访问外设和配置寄存器。

表 6-5. 外设连接

外部设备	H28	DMA	HIC	BGCRC
<b>系统外设</b>				
CPU Timers	Y			
ERAD	Y			
GPIO Data	Y		Y	
GPIO Pin Mapping and Configuration	Y			
XBAR Configuration	Y			
System Configuration	Y			
DCC	Y			
<b>内存</b>				
M0/M1	Y			Y
LSx	Y			Y
GSO	Y	Y	Y	Y
ROM	Y			Y
FLASH	Y			
<b>控制外设</b>				
ePWM/HRPWM	Y	Y	Y	
eCAP	Y	Y	Y	
eQEP <sup>(1)</sup>	Y	Y	Y	
<b>模拟外设</b>				
CMPSS <sup>(1)</sup>	Y	Y	Y	
ADC 配置	Y			
ADC 结果 <sup>(1)</sup>	Y	Y	Y	
<b>通信外设</b>				
CAN	Y	Y	Y	
FSITX/FSIRX	Y	Y	Y	
I2C	Y		Y	

LIN	Y	Y	Y	
PMBus	Y	Y	Y	
SCI	Y		Y	
SPI	Y	Y	Y	

(1) 这些模块可以从 DMA 访问，但不能触发 DMA 传输。

## 6.6 H28x 处理器

CPU 为 32 位浮点处理器。该设备采用了数字信号处理的最佳特性；精简指令集计算 (RISC-V)；以及微控制器架构、固件和工具集。

CPU 特性包括改进的哈佛架构和循环寻址。RISC-V 的特点是单周期指令执行、寄存器对寄存器的操作和改良的哈佛体系结构。微控制器的特点包括通过直观的指令集，字节打包和解压，以及位操作的易用性。修改后的 CPU 哈佛体系结构使指令和数据读取可以并行执行。CPU 可以读取指令和数据，同时写入数据，以保持跨流水线的单周期指令操作。CPU 通过 6 个独立的地址/数据总线来执行此操作。

这里提供了 FPU, TMU 和 VCRC 的简要概述。

### 6.6.1 浮点单元 (FPU)

H28x+浮点 (H28x+FPU) 处理器通过添加寄存器和指令来支持 IEEE 单精度浮点运算，扩展了 H28x CPU 的功能。

带有 H28x+FPU 的设备包括标准 H28x 寄存器集和一组额外的浮点单元寄存器。附加的浮点单元 FPU 寄存器如下：

- 32 个浮点通用寄存器，F0~F31
- 浮点状态寄存器 (FCSR)

### 6.6.2 快速整数除法单元

H28x CPU 的快速整数除法 (FINTDIV) 单元独特的支持三种不同数据类型大小 (16 / 16, 32 / 16, 32 / 32, 64 / 32, 64 / 64) 的无符号或有符号格式的整数除法 (Truncated, Modulus, Euclidean)。

- 支持 C 语言 Truncated 整数除法 (/, % 运算符)。

- Modulus 和 Euclidean 除法是控制算法更有效的类型，并支持 C 函数。

所有三种类型的整数除法都产生商和余数分量，都是可中断的，并且执行最少数量的确定周期 (32/32 除法为 10 个周期)。此外，H28x CPU 的快速除法功能独特支持浮点 32 位 (5 个周期) 和 64 位 (20 个周期) 除法的快速执行。

### 6.6.3 三角数学单元 (TMU)

TMU 通过添加指令扩展了 H28x+FPU 的功能，并利用 FPU 指令来加速三角函数和算术运算的执行。

现有的指令、流水线或内存总线架构没有任何变化。所有 TMU 指令都使用现有的 FPU 寄存器集 (R0H 到 R7H) 来执行它们的操作。HX2000 数字控制库中的非线性比例积分导数控制 (NLPID) 组件增加了指数指令 IEXP2F32 和对数指令 LOG2F32，以支持浮点幂函数的计算。HX2000 数字控制库的非线性比例积分导数控制 (NLPID) 组件增加了指数指令 IEXP2F32 和对数指令 LOG2F32，以支持浮点幂函数的计算。这两个增加的指令减少了幂函数的计算，从使用库仿真的 300 个周期减到少于 10 个周期。

### 6.6.4 VCRC 单元

循环冗余校验 (CRC) 算法为验证大数据块、通信包或代码段上的数据完整性提供了一种简单的方法。H28x+VCRC 支持 8 位、16 位、24 位和 32 位 CRC。例如，VCRC 可以在 10 个周期内计算出 10 个字节长度的块的 CRC。CRC 结果寄存器包含当前的 CRC，每当执行 CRC 指令时，它都会更新。

以下是 VCRC 的 CRC 计算逻辑所使用的 CRC 多项式：

- CRC8 polynomial = 0x07
- CRC16 polynomial 1 = 0x8005
- CRC16 polynomial 2 = 0x1021
- CRC24 polynomial = 0x5d6dcb
- CRC32 polynomial 1 = 0x04c11db7
- CRC32 polynomial 2 = 0x1edc6f41

该模块可以在单个周期中计算一个字节数据的 crc。CRC8、CRC16、CRC24 和 CRC32 的 CRC 计算是按字节进行的 (代替在 H28x 核心读取的完整 16 位或 32 位数据上进行计算)，以匹配各种标准规定的按字节计算要求。

VCRC 单元还允许用户提供多项式的任意大小 (1b-32b) 和值，来适应 CRC 自定义要求。当使用自

定义多项式时，CRC 执行完成时间增加到三个周期。

## 6.7 嵌入式实时分析与诊断 (ERAD)

ERAD 模块增强了设备的调试和系统分析能力。而且 ERAD 模块提供的调试和系统分析增强是在 CPU 外部完成的。ERAD 模块由增强总线比较器单元和系统事件计数器单元组成。增强总线比较器单元用于生成硬件断点、硬件观察点和其他输出事件。系统事件计数器单元用于分析和配置系统。ERAD 模块可由调试器和应用软件访问，显著增加了许多实时系统的调试功能，特别是在调试器未连接的情况下。在 HXS320F28002x 设备中，ERAD 模块包含 8 个增强总线比较器单元(将硬件断点的数量从 2 个增加到 10 个)和 4 个基准系统事件计数器单元。

## 6.8 BGCRC-32 (BGCRC)

BGCRC 模块在一个可配置的内存块上计算 CRC-32。它通过在空闲周期(当 CPU、HIC 或 DMA 没有访问内存块时)获取指定的内存块来实现这一点。计算出的 CRC-32 值与标准 CRC-32 值进行比较，以指示通过或失败。本质上，BGCRC 帮助识别内存故障和损坏。

BGCRC 模块包括以下特点：

- 对 32 位数据进行一个周期 CRC-32 计算
- 零等待状态内存不影响 CPU 带宽
- 对于非零等待状态内存，CPU 带宽影响最小
- 双操作模式(CRC-32 模式和擦写模式)
- 看门狗定时器到时间 CRC-32 完成
- 可暂停和恢复计算 CRC-32

## 6.9 直接内存访问 (DMA)

DMA 模块提供了一种硬件方法，可以在外设和/或内存之间传输数据，而不需要 CPU 的干预，从而为其他系统功能释放带宽。此外，DMA 具有在传输数据时对数据进行正交重新排列的能力，以及

缓冲区之间的“乒乓”数据。这些特性有助于优化 CPU 进程，将数据结构化成块。DMA 的设备级框图如图 8-2 所示。

DMA 特性包括：

- 六个独立的 PIE 中断通道
- 外设中断触发源
  - ADC 中断和 EVT 信号
  - 外部中断源
  - ePWM SOC 信号
  - CPU 定时器
  - eCAP
  - SPI 发送和接收
  - CAN 发送和接收
  - LIN 发送和接收
- 数据来源和目的地：
  - GSx RAM
  - ADC 结果寄存器
  - 控制外设寄存器 (ePWM, eQEP, eCAP)
  - SPI, LIN, CAN, 和 PMBus 寄存器
- 字大小：16-bit 或 32-bit (SPI 限制为 16-bit)
- 吞吐量：每个字四个循环周期，无需仲裁

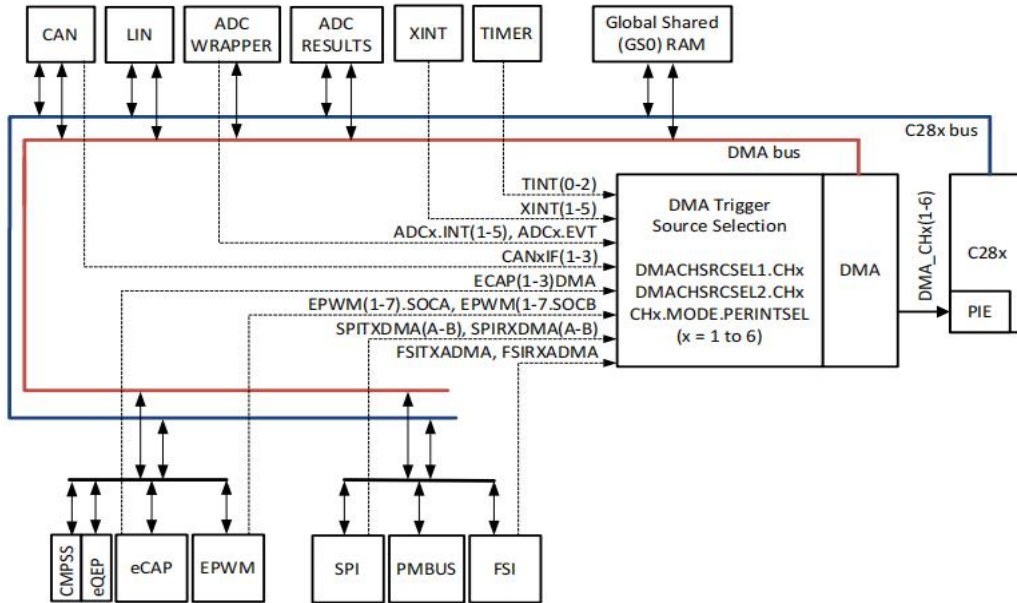


图 6-2. DMA 框图

## 6.10 设备 Boot 模式

本节解释默认 Boot 启动模式，以及此设备支持的所有可用启动模式。引导 ROM 使用引导模式选择，通用输入/输出 (GPIO) 引脚来确定引导模式配置。启动模式的选择用默认启动模式选择引脚来确定启动模式，如表 8-7 展示。用户可以选择对设备进行编程，来自定义启动模式选择表，根据启动模式选择 GPIO 引脚使用。

所支持的外设启动模式都使用外设模块的模块第一个部分 (SCIA、SPIA、I2CA、CANA 等)。在本章中提到这些启动模式时，例如 SCI 启动，它实际上指的是模块第一个部分，这意味着 SCI 启动在 SCIA 上。这同样适用于其他外围引导。

参考节 5.11.2.2.2 和图 5-8 的  $t_{boot-flash}$ ，引导 ROM 执行时间到在闪存 FLASH 中第一个指令获取。

表 6-7. 设备默认启动模式

BOOT 模式	GPIO24 (默认 BMSP1)	GPIO32 (默认 BMSP 0)
Parallel IO	0	0
SCI / Wait Boot <sup>(1)</sup>	0	1
CAN	1	0
Flash	1	1

(1)SCI boot 模式可以用作 Wait Boot 模式，只要 SCI 在 SCI 自动波特锁定过程中继续等待 'A' 或 'a'。

## 6.10.1 设备启动配置

本节详细介绍可用的启动配置以及如何配置它们。该设备支持从 0 启动模式选择引脚到 3 启动模式选择引脚，以及从 1 配置启动模式到 8 配置启动模式。

要将设备从默认设置更改为应用程序的自定义设置，请使用以下流程：

- 确定您希望应用程序能够启动。（例如：第一启动项用于 Flash 引导的主应用程序，第二启动项用于 CAN 引导的固件更新，第三启动选项用于 SCI 引导的调试，等等）
- 根据所需启动模式的数量，才能在您所选启动模式中确定需要多少个启动模式选择引脚 (BMSP)。（例如：需要在 3 个启动模式选项中选出 2 个 BMSP）
- 将所需的 BMSP 分配到物理 GPIO 引脚。（例如，BMSP0 对 GPIO10，BMSP1 对 GPIO51，BMSP2 保留默认值被禁用）。有关执行这些配置的所有细节，请参阅第 6.10.1.1 节。
- 将确定的引导模式定义分配给自定义引导表中的索引，这些索引值与 BMSP 的解码值相关。例如，BOOTDEF0=Boot to Flash，BOOTDEF1=CAN Boot，BOOTDEF2=SCI Boot；所有其他 BOOTDEF<sub>x</sub> 被保留为默认/无）。有关设置和配置自定义启动模式表的所有详细信息，请参阅第 6.10.1.2 节。

此外，HXS320F28002xDSP 技术参考手册的提供了一些关于如何配置 BMSP 和自定义启动表的示例。

**注意**：CAN 引导模式要开启 XTAL。在使用 CAN 引导模式之前，请确保在应用程序中安装了 XTAL。配置启动模式引脚

本节解释了用户如何通过用户在用户可配置双区域安全模块 (DCSM) OTP 中编程 BOOTPIN-CONFIG 位置 (参见表 6-8) 来定制引导模式选择引脚。DCSM OTP 中的位置是 Z1-OTP-BOOTPIN-CONFIG 或 Z2-OTP-BOOTPIN-CONFIG。在调试时，EMU-BOOTPIN-CONFIG 是 Z1-OTP-BOOTPIN-CONFIG/Z2-OTP-BOOTPIN-CONFIG 的仿真等效程序，可以用编程试验不同的启动模式，而不写入 OTP。该设备可以按需求使用 0, 1, 2, 3 启动模式选择引脚编程。

**注意**：当使用 Z2-OTP-BOOTPIN-CONFIG 时，在这个位置编程的配置将优先于 Z1-OTP-BOOTPIN-CONFIG 中的配置。建议先使用 Z1-OTP-BOOTPIN-CONFIG，如果需要修改 OTP 配置，再切换到 Z2-OTP-BOOTPIN-CONFIG。

表 6-8. BOOTPIN-CONFIG 位域

位	名称	描述
31:24	Key	将 0x5A 写入这 8 位，表明该寄存器中的位是有效的
23:16	启动模式选择引脚 2 (BMSP2)	除了 BMSP2 参考 BMSP0 描述
15:8	启动模式选择引脚 1 (BMSP1)	除了 BMSP1 参考 BMSP0 描述
7:0	启动模式选择引脚 0 (BMSP0)	设置为引导过程中使用的 GPIO 引脚 (up to 255): 0x0 = GPIO0 0x01 = GPIO1 以此类推  写入 0xFF 将禁用 BMSP0，并且该引脚不再用于选择启动模式。

以下 GPIO 不能作为 BMSP 使用。如果选择了特殊的 BMSP，引导 ROM 将自动选择出厂默认的 GPIO (BMSP2 的出厂默认是 0xFF，这将禁用 BMSP)。

- GPIO 20 和 GPIO 21
- GPIO 36 和 GPIO 38
- GPIO 47 至 GPIO 60
- GPIO 63 至 GPIO 223

表 6-9. 特殊启动模式选择引脚解码

BOOTPIN_CONFIG KEY	BMSP0	BMSP1	BMSP2	实现启动模式
!= 0x5A	无关	无关	无关	按出厂默认 BMSP 定义的方式启动
= 0x5A	0xFF	0xFF	0xFF	“启动模式 0”在 boot 表中定义 (所有 BMSPs 已禁用)
	Valid GPIO	0xFF	0xFF	由 BMSP0 的值定义的方式启动 (BMSP1 和 BMSP2 被禁用)
	0xFF	Valid GPIO	0xFF	由 BMSP1 的值定义的方式启动 (BMSP0 和 BMSP2 被禁用)
	0xFF	0xFF	Valid GPIO	由 BMSP2 的值定义的方式启动 (BMSP0 和 BMSP1 被禁用)
	Valid GPIO	Valid GPIO	0xFF	由 BMSP0 和 BMSP1 的值定义的方式启动 (BMSP2 被禁用)
	Valid GPIO	0xFF	Valid GPIO	由 BMSP0 和 BMSP2 的值定义的方式启动 (BMSP1 被禁用)
	0xFF	Valid GPIO	Valid GPIO	Boot as defined by the values of BMSP1 and BMSP2 按照 BMSP1 和 BMSP2 的值定义启动 (BMSP0 被禁用)
	Valid GPIO	Valid GPIO	Valid GPIO	Boot as defined by the values of BMSP0, BMSP1, and BMSP2
	Invalid GPIO	Valid GPIO	Valid GPIO	BMSP0 is reset to the factory default BMSP0 GPIO BMSP0 被重置为出厂默认的 BMSP0 GPIO Boot as defined by the values of BMSP0, BMSP1, and BMSP2
	Valid GPIO	Invalid GPIO	Valid GPIO	BMSP1 is reset to the factory default BMSP1 GPIO Boot as defined by the values of BMSP0, BMSP1, and BMSP2
Valid GPIO	Valid GPIO	Invalid GPIO	BMSP2 is reset to the factory default state, which is disabled 将 BMSP2 重置为出厂默认状态，禁用出厂默认状态	

				Boot as defined by the values of BMSP0 and BMSP1
--	--	--	--	--

注意

在解码引导模式时，BMSP0 是启动表索引值的最低有效位，BMSP2 是最高有效位。建议禁用 BMSP 时，从禁用 BMSP2 开始。例如，在只使用 BMSP2 的情况中 (BMSP1 和 BMSP0 被禁用)，只有引导表索引 0 和 4 是可选择的。在只使用 BMSP0 的情况中，可选择的引导表索引为 0 和 1。

### 6.10.1.1 配置启动模式表选项

本节解释如何为设备配置启动定义表，BOOTDEF 和相关的启动选项。64 位存储单元位于 Z1-OTP-BOOTDEF-LOW 和 Z1-OTP-BOOTDEF-HIGH 位置的用户可配置的 DCSM OTP 中。当调试时，EMU-BOOTDEF-LOW 和 EMU-BOOTDEF-HIGH 是 Z1-OTP-BOOTDEF-LOW 和 Z1-OTP-BOOTDEF-HIGH 的仿真等效位，可以通过编程来调试不同的启动模式选项，而无需写入 OTP。引导定义表的定制化范围取决于使用了多少引导模式选择引脚 (BMSP)。例如：0 BMSPs = 1 条表项，1 BMSP = 2 条表项，2 BMSPs = 4 条表项，3 BMSPs = 8 条表项。有关如何设置 BOOTPIN\_CONFIG 和 BOOTDEF 值的示例，请参阅 HXS320F28002x 实时微控制器技术参考手册。

注意

当配置 Z2-OTP-BOOTPIN-CONFIG 时，位置 Z2-OTP-BOOTDEF-LOW 和 Z2-OTP-BOOTDEF-HIGH 将被使用，而不是 Z1-OTP-BOOTDEF-LOW 和 Z1-otp-bootdef-high。有关 BOOTPIN\_CONFIG 用法的更多详细信息，请参阅 5.10.1.1

表 5-10. BOOTDEF 位域

BOOTDEF 名称	字节位置	名称	描述
BOOT_DEF0	7:0	BOOT_DEF0 Mode/Options	设置引导表中索引 0 的启动方式。 不同的引导模式及其选项可以包括，例如，为特定的启动引导程序或者不同的 FLASH 入口地址，使用不同 GPIO 的启动模式。任何不支持的启动模式都将使设备进入等待启动模式或 FLASH 启动。  要在表中设置有效的 BOOTDEF 值，参考 GPIO 分配部分
BOOT_DEF1	15:8	BOOT_DEF1 Mode/Options	

BOOT_DEF2	23:16	BOOT_DEF2 Mode/Options	参考 BOOT_DEF0 描述
BOOT_DEF3	31:24	BOOT_DEF3 Mode/Options	
BOOT_DEF4	39:32	BOOT_DEF4 Mode/Options	
BOOT_DEF5	47:40	BOOT_DEF5 Mode/Options	
BOOT_DEF6	55:48	BOOT_DEF6 Mode/Options	
BOOT_DEF7	63:56	BOOT_DEF7 Mode/Options	

## 6.10.2 GPIO 分配

本节详细介绍 GPIO 和启动选项值用于 BOOT\_DEF 内存中设置的启动模式，位于 Z1-OTP-BOOTDEF-LOW/ Z2-OTP-BOOTDEF-LOW 和 Z1-OTP-BOOTDEF-HIGH/ Z2-OTP-BOOTDEF-HIGH。关于如何配置 BOOT\_DEF，请参考配置启动模式表选项。在选择启动模式选项时，请确保在所使用的特定设备中的引脚复用选项中有所需的引脚可用。

表 6-11. SCI 启动选项

选项	BOOTDEF 值	SCITXDA GPIO	SCIRXDA GPIO
0 (默认)	0x01	GPIO29	GPIO28
1	0x21	GPIO16	GPIO17
2	0x41	GPIO8	GPIO9
3	0x61	GPIO2	GPIO3
4	0x81	GPIO16	GPIO3

表 6-12. CAN 启动选项

选项	BOOTDEF 值	CANTXA GPIO	CANRXA GPIO
0 (默认)	0x02	GPIO4	GPIO5
1	0x22	GPIO32	GPIO33
2	0x42	GPIO2	GPIO3

表 6-13. I2C 启动选项

选项	BOOTDEF 值	SDAA GPIO	SCLA GPIO
0	0x07	GPIO32	GPIO33
1	0x27	GPIO0	GPIO1
2	0x47	GPIO10	GPIO8

表 6-14. RAM 启动选项

选项	BOOTDEF 值	RAM 入口点(地址)
0	0x05	0x0000 0000

表 6-15. Flash 启动选项

选项	BOOTDEF 值	FLASH 入口点(地址)	FLASH 扇区
0 (默认)	0x03	0x0060 0000	Bank0 Sector 0
1	0x23	0x0061 0000	Bank 0 Sector 4
2	0x43	0x0062 0000	Bank 0 Sector 8
3	0x63	0x0063 FF00	Bank 0, End of Sector 15

表 6-16. Wait 启动选项

选项	BOOTDEF 值	WATCHDOG
----	-----------	----------

0	0x04	打开
1	0x24	关闭

表 6-17. SPI 启动选项

选项	BOOTDEF 值	SPISIMOA	SPISOMIA	SPICLKA	SPISTEA
0	0x06	GPI02	GPI01	GPI03	GPI05
1	0x26	GPI016	GPI01	GPI03	GPI00
2	0x46	GPI08	GPI010	GPI09	GPI011
3	0x66	GPI08	GPI017	GPI09	GPI011

表 6-18. Parallel 启动选项

选项	BOOTDEF 值	D0-D7 GPIO	28x(DSP) CONTROL GPIO	HOST CONTROL GPIO
0 (默认)	0x00	D0 - GPIO28	GPIO16	GPIO29
		D1 - GPIO1		
		D2 - GPIO2		
		D3 - GPIO3		
		D4 - GPIO4		
		D5 - GPIO5		
		D6 - GPIO6		
		D7 - GPIO7		
1	0x20	D0 - GPIO0	GPIO16	GPIO11
		D1 - GPIO1		
		D2 - GPIO2		
		D3 - GPIO3		
		D4 - GPIO4		
		D5 - GPIO5		
		D6 - GPIO6		
		D7 - GPIO7		

## 6.11 双码安全模块

双码安全模块 (DCSM) 防止访问片上安全存储器。术语“安全”意味着对安全内存和资源的访问被阻止。“不安全”一词指允许进入;例如,通过诸如 IDE 调试工具。

代码安全机制提供了两个区域的保护,区域 1 (Z1)和区域 2 (Z2)。两个区域的实施安全检查是相同的。每个分区都有自己的专用安全资源(OTP 内存和安全 ROM)和已分配的安全资源(LSx RAM 和闪存扇区)。

每个区域由各自的 128 位密码(CSM 密码)保证安全。每个区域的密码根据特定于区域的链接指针存储在 OTP 内存位置中。可以通过更改链接指针值来在 OTP 中编程一组不同的安全设置(包括密码)。

### 代码安全模块免责声明

本设备中包含的代码安全模块(CSM)旨在对存储在相关存储器中的数据进行密码保护,并由 HX



CPU-Timer 0 用于一般用途，并且已连接到 PIE 块。CPU-timer 1 也是通用的，并且连接到 CPU 的 INT13。CPU-Timer 2 为 TI-RTOS 预留，并且连接 CPU 的 INT14。如果 TI-RTOS 不被使用，CPU-Timer 2 可用于一般用途。

CPU-Timer 2 可以通过以下任何一个来计时：

- SYSCLK (默认)
- 内部晶振振荡器 1 (INTOSC1)
- 内部晶振振荡器 2 (INTOSC2)
- X1 (XTAL)

## 6.14 双时钟比较器 (DCC)

设备上有 3 个双时钟比较器(DCC0 和 DCC1)。3 个 DCC 只能通过 CPU1 访问。DCC 模块用于评估和监控基于第二个时钟的时钟输入，可以作为一个更准确和可靠的版本。该仪器用于检测时钟源或时钟结构中的故障，从而增强系统的安全指标。

### 6.14.1 特点

DCC 有以下特点：

- 允许应用程序在两个时钟信号的频率之间保持固定的比例。
- 支持根据参考时钟周期的数量定义可编程公差窗口。
- 支持连续监控，不需要应用程序干预。
- 支持点测的单序列模式。
- 允许为每个计数器选择一个时钟源，从而产生不同的特定的情况。

### 6.14.2 DCCx (DCC0 and DCC1) 时钟源输入映射

表 6-19. DCCx 时钟源 0

DCCxCLKSRC0[3:0]	CLOCK 名称
0x0	XTAL/X1
0x1	INTOSC1

0x2	INTOSC2
0x5	CPU1. SYSCLK
0xC	INPUT XBAR (Output16 of input-xbar)
others	保留

表 6-20. DCCx 时钟源 1

DCCxCLKSRC1 [4:0]	CLOCK 名称
0x0	PLLRAWCLK
0x2	INTOSC1
0x3	INTOSC2
0x6	CPU1. SYSCLK
0x9	Input XBAR (Output15 of the input-xbar)
0xB	EPWMCLK
0xC	LSPCLK
0xD	ADCCLK
0xE	WDCLK
0xF	CANOBITCLK
others	保留

## 6.15 可配置逻辑模块 (CLB)

HX2000 可配置逻辑块 (CLB) 是一组可以通过软件相互连接的块，以实现自定义数字逻辑功能或增强现有的片上外设。CLB 能够通过一组交叉连接来增强现有的外围设备，它提供了与现有控制外围设备的高水平连接，如增强型脉宽调制器 (ePWM)、增强型捕获模块 (eCAP) 和增强型正交编码器脉冲模块 (eQEP)。Crossbar 模块还允许 CLB 连接到外部 GPIO 引脚。通过这种方式，可以配置 CLB 与设备外围设备交互，以执行较小的逻辑功能，如比较器，或实现自定义串行数据交换协议。通过 CLB，原本使用外部逻辑器件完成的功能现在可以在 DSP 内部实现。

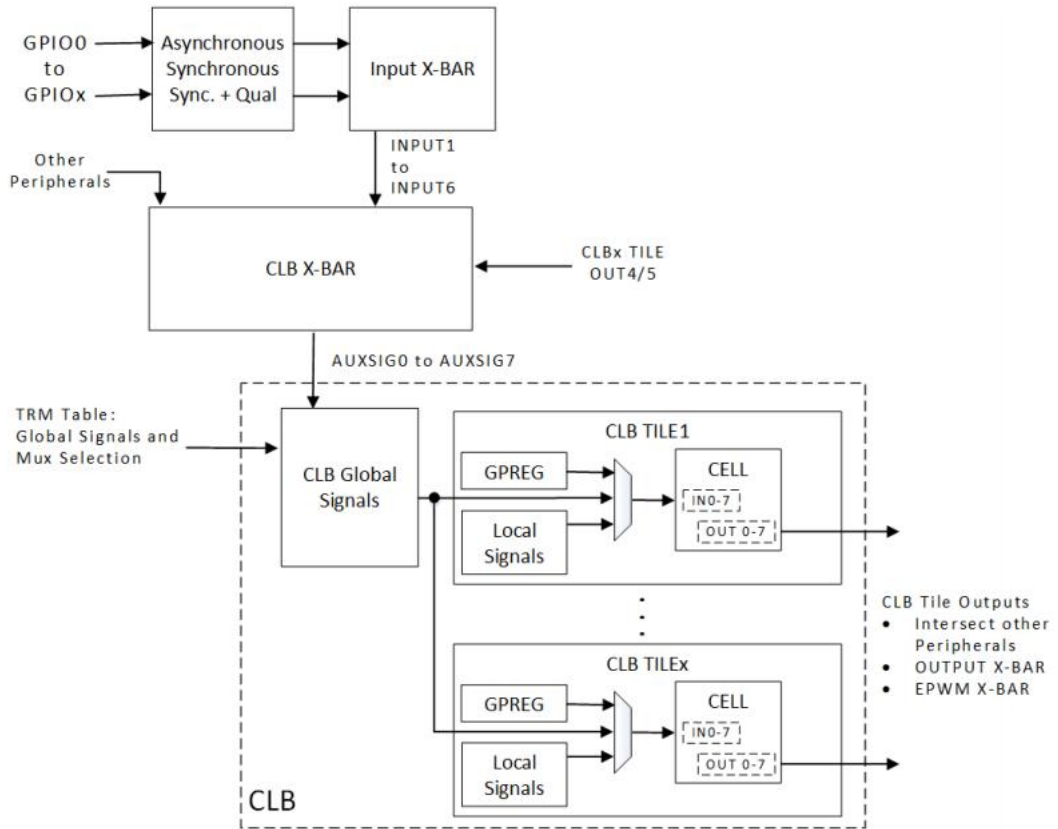
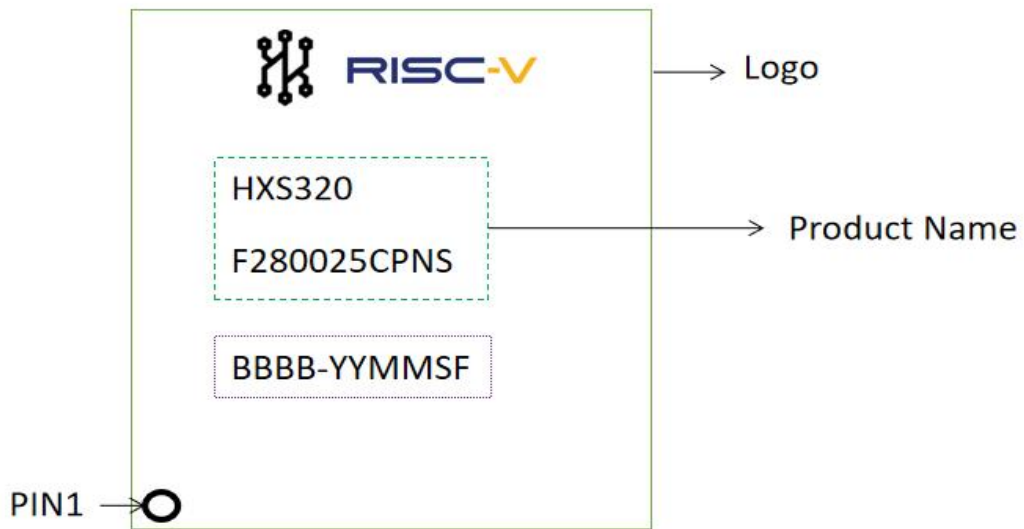
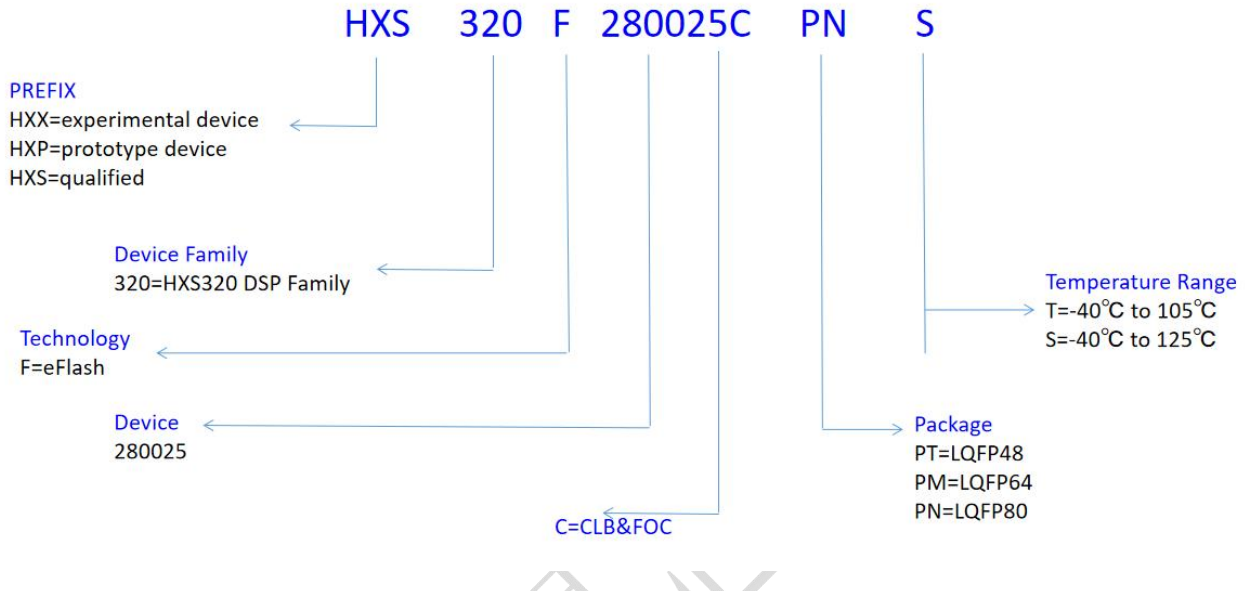


图 6-4. CLB 概述

## 7 应用布局



### 注意

以下应用部分中的信息不是 HX 组件规范的一部分，HX 不保证其准确性或完整性。HX 的客户负责确定组件是否适合其用途，并验证和测试其设计实现以确认系统功能。

## 8 设备文档支持

### 8.1 设备和开发支持工具术语

为了指定产品开发周期中的各个阶段，HX 为所有 HXS320 DSP 设备和支持工具的零件号分配了前缀。每个 HXS320™商用 DSP 家族成员都有三个前缀之一：HXX、HXP 或 HXS (例如 HXS320F280025)。支持工具推荐三个可能的前缀指示符中的两个：HXDX 和 HXDS。这些前缀代表了从工程原型 (设备使用 HXX，工具使用 HXDX) 到完全合格的生产设备和工具 (设备使用 HXS，工具使用 HXDS) 的产品开发的演进阶段。

器件开发演进流程：

HXX : 实验设备不一定代表最终装置的电气规格，并且可能不使用生产装配流程。

HXP : 原型设备不一定是最终的硅片，也不一定符合最终的电气规格。

HXS : 生产版本的硅片具完全合格。

支持工具开发演进流程：

HXDX : 尚未完成 HX 内部资格测试的开发支持产品。

HXDS : 完全合格的开发支持产品。

HXX 和 HXP 设备以及 HXDX 开发支持工具是根据以下免责声明发布的：“开发产品用于内部评估目的”

生产设备和开发支持工具已经被充分描述，并且设备的质量和可靠性已经被充分证明。HX 的标准保修适用。

原型设备 (X 或 P) 的故障率高于标准生产设备。HX 建议不要在任何生产系统中使用这些设备，因为它们的预期最终使用故障率仍然是不确定的。只能使用合格的生产设备。

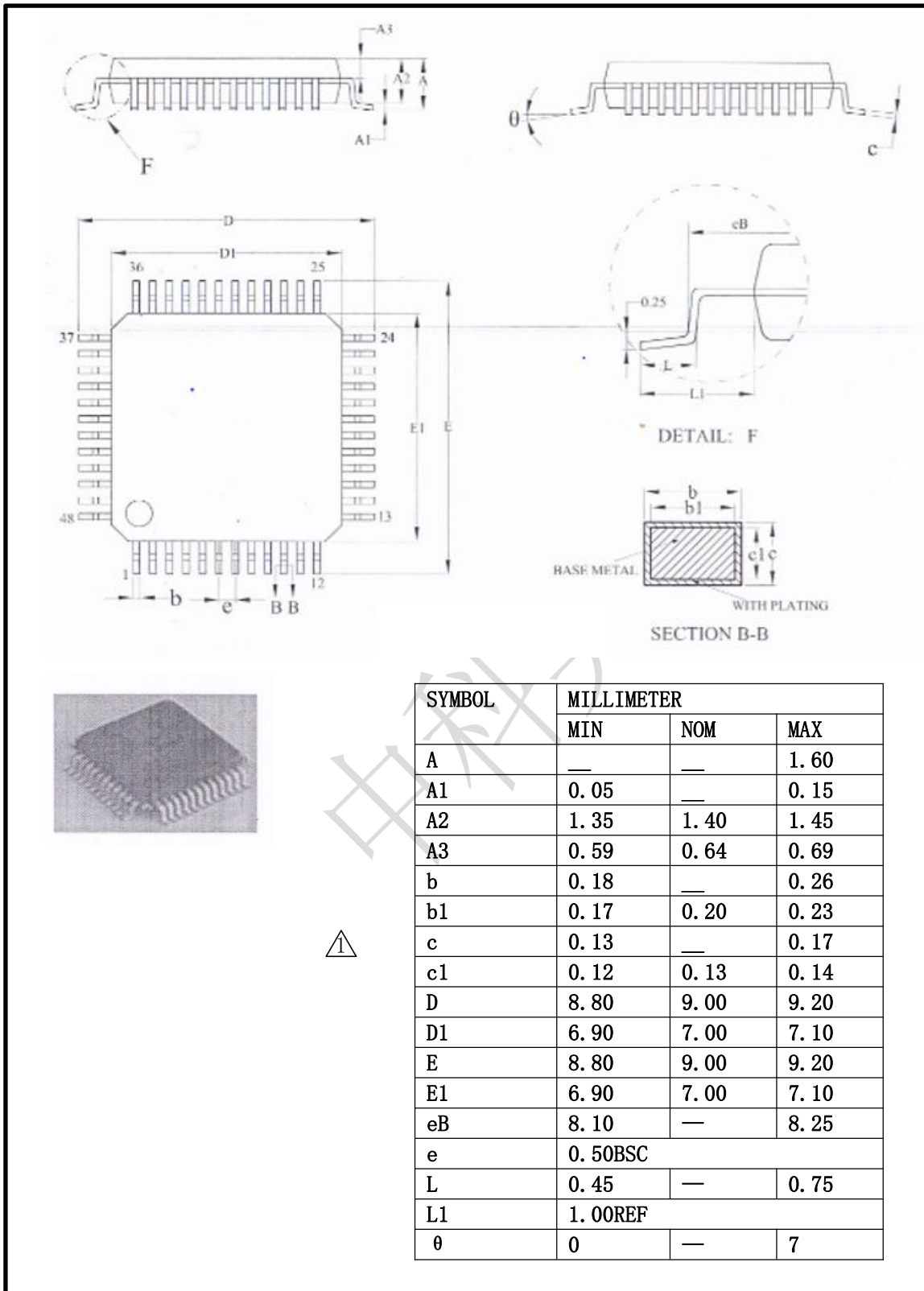
HX 器件命名法还包括带有器件族名称的后缀。该后缀表示封装类型 (如 PN) 和温度范围 (如 S)。

有关设备部件编号和进一步的订购信息，请参阅 HX 网站 ([www.haawking.cn](http://www.haawking.cn)) 或联系您的 HX 销售代表。

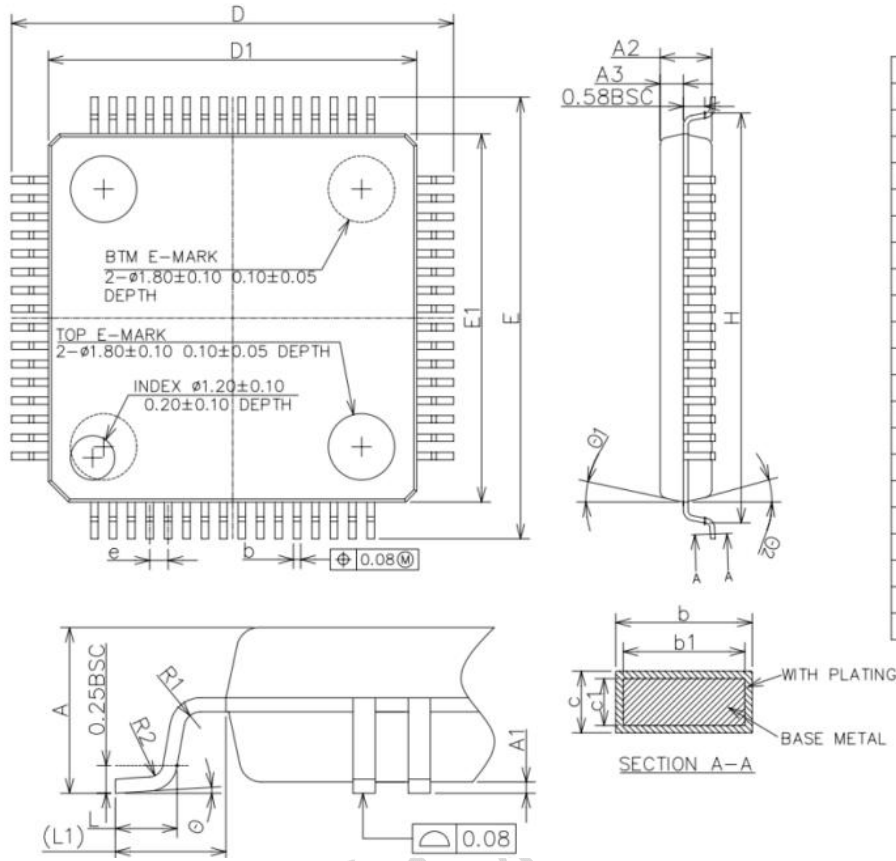
## 9. 热特性/机械数据

中科昊芯

## 9.1 LQFP48



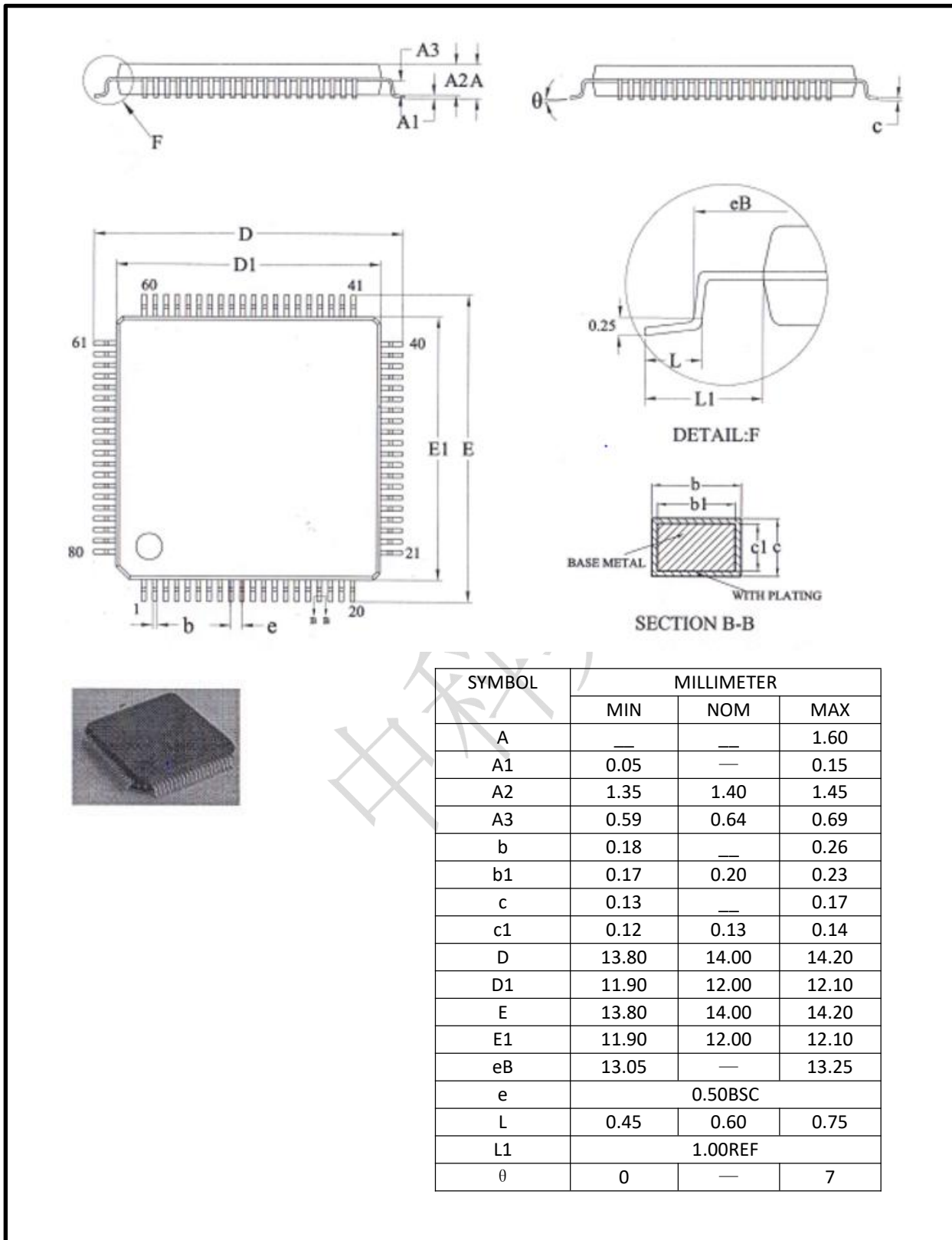
## 9.2 LQFP64



COMMON DIMENSIONS  
(UNITS OF MEASURE=MILLIMETER)

SYMBOL	MIN	NOM	MAX
A	—	—	1.60
A1	0.05	—	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.18	—	0.27
b1	0.17	0.20	0.23
c	0.13	—	0.18
c1	0.117	0.127	0.137
D	11.95	12.00	12.05
D1	9.90	10.00	10.10
E	11.95	12.00	12.05
E1	9.90	10.00	10.10
e	0.40	0.50	0.60
H	11.09	11.13	11.17
L	0.53	—	0.70
L1	1.00REF		
R1	0.15REF		
R2	0.13REF		
$\phi$	0°	3.5°	7°
$\phi 1$	11°	12°	13°
$\phi 2$	11°	12°	13°

## 9.3 LQFP80

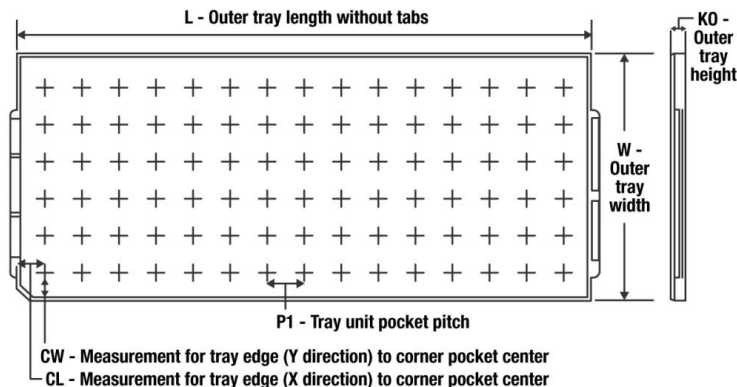


## 10. 订货信息

### 10.1 封装信息

订货产品型号	芯片版本	封装类型	封装图	管脚数	每托盘的芯片数量	生态计划	引线完成 / 球面处理	湿气等级-峰值温度	工作温度	芯片表面丝印
HXS320F280025CPNT	EDB	LQFP	PN	80	119	Green (RoHS&无卤)	Sn	Level-3-260C-168HR (3级-小于或等于260° C-168小时车间寿命)	-40° C 至 105° C	HXS320F280025CPNT
HXS320F280025CPMT	EDB	LQFP	PM	64	160	Green (RoHS&无卤)	Sn	Level-3-260C-168HR (3级-小于或等于260° C-168小时车间寿命)	-40° C 至 105° C	HXS320F280025CPMT
HXS320F280025CPTT	EDB	LQFP	PT	48	250	Green (RoHS&无卤)	Sn	Level-3-260C-168HR (3级-小于或等于260° C-168小时车间寿命)	-40° C 至 105° C	HXS320F280025CPTT
HXS320F280025CPNS	EDB	LQFP	PN	80	119	Green (RoHS&无卤)	Sn	Level-3-260C-168HR (3级-小于或等于260° C-168小时车间寿命)	-40° C 至 125° C	HXS320F280025CPNS
HXS320F280025CPMS	EDB	LQFP	PM	64	160	Green (RoHS&无卤)	Sn	Level-3-260C-168HR (3级-小于或等于260° C-168小时车间寿命)	-40° C 至 125° C	HXS320F280025CPMS
HXS320F280025CPTS	EDB	LQFP	PT	48	250	Green (RoHS&无卤)	Sn	Level-3-260C-168HR (3级-小于或等于260° C-168小时车间寿命)	-40° C 至 125° C	HXS320F280025CPTS

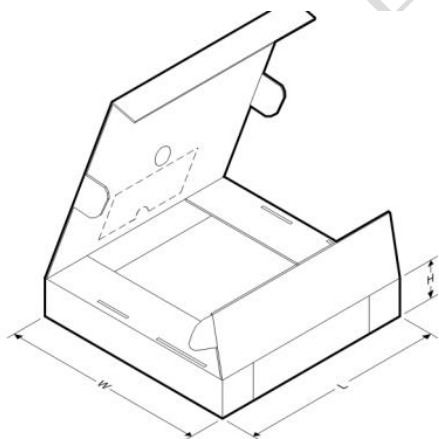
## 10.2 托盘信息



Chamfer on Tray corner indicates Pin 1 orientation of packed units.

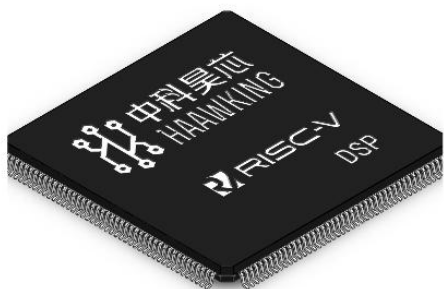
订货产品型号	芯片版本	封装类型	封装图	管脚数	最小的小包装数量	托 盘 行 x 列	最高温度	L (mm) 托盘长度	W (mm) 托盘宽度	KO (mm) 托盘高度	P1 (mm)	CL (mm)	CW (mm)	芯片第 1 脚标识点
HXS320F280025CPTT	EDB	LQFP	PT	48	250	10×25	150	315	135.9	7.620	12.2	11.1	11.25	左下角
HXS320F280025CPTS	EDB	LQFP	PT	48	250	10×25	150	315	135.9	7.620	12.2	11.1	11.25	左下角
HXS320F280025CPMT	EDB	LQFP	PM	64	160	8x20	150	315	135.9	7.620	15.2	13.1	13.0	左下角
HXS320F280025CPMS	EDB	LQFP	PM	64	160	8x20	150	315	135.9	7.620	15.2	13.1	13.0	左下角
HXS320F280025CPNT	EDB	LQFP	PN	80	119	7x17	150	315	135.9	7.620	17.9	14.30	13.95	左下角
HXS320F280025CPNS	EDB	LQFP	PN	80	119	7x17	150	315	135.9	7.620	17.9	14.30	13.95	左下角

## 10.3 包装盒尺寸



订货产品型号	芯片版本	封装类型	封装图	管脚数	最小的小包装数量	Length (mm) 包装盒长度	Width (mm) 包装盒宽度	Height (mm) 包装盒高度
HXS320F280025CPTT	EDB	LQFP	PT	48	2500	370	150	88
HXS320F280025CPTS	EDB	LQFP	PT	48	2500	370	150	88
HXS320F280025CPMT	EDB	LQFP	PM	64	1600	370	150	88
HXS320F280025CPMS	EDB	LQFP	PM	64	1600	370	150	88
HXS320F280025CPNT	EDB	LQFP	PN	80	1190	370	150	88
HXS320F280025CPNS	EDB	LQFP	PN	80	1190	370	150	88

## 10.4 封装概览



中科昊芯

## 备注

“智由芯生 创享未来”的中科昊芯按作为中国科学院科技成果转化企业，是国产数字信号处理器专业供应商，瞄准集成电路完全自主可控的国家战略，依托科研国家队的雄厚实力和深厚底蕴，以一种开放包容的积极心态，基于开源指令集架构 RISC-V，打造多个系列数字信号处理器产品，并构建完善的处理器产品生态系统，产品可广泛应用于图形图像处理、数字信号处理、工业控制及电机驱动、数字电源、运动控制等领域。



昊芯公众号



哔哩哔哩

### 联系方式

公司网址：[www.haawking.com](http://www.haawking.com)

联系邮箱：[haawking@mail.haawking.com](mailto:haawking@mail.haawking.com)

销售联系电话：010-61934561

公司总部地址：北京市海淀区财智国际大厦 A-1808